

МОДИФИЦИРОВАННЫЕ УМНОЖИТЕЛИ С НАКОПЛЕНИЕМ ДЛЯ ПОВЫШЕНИЯ ПРОИЗВОДИТЕЛЬНОСТИ ЦИФРОВЫХ ФИЛЬТРОВ

*Ляхов П.А., Ионисян А.С., Валуева М.В., Ларикова А.С.
Северо-Кавказский федеральный университет, Ставрополь, РФ
E-mail: mriya.valueva@mail.ru*

Предложена модифицированная архитектура умножителя с накоплением и их применение для увеличения производительности цифровых фильтров с конечной импульсной характеристикой. В статье произведен теоретический анализ предлагаемых модифицированных умножителей и реализовано аппаратное моделирование. Теоретический анализ показал, что переход от традиционных умножителей с накоплением к модифицированным в качестве основы реализации цифровых фильтров позволяет теоретически сократить время выполнения фильтрации до 29 %. Аппаратное моделирование показало, что модифицированные умножители с накоплением увеличивают производительность цифровых фильтров до 11 % по сравнению цифровыми фильтрами, использующими традиционные умножители с накоплением, за счет увеличения аппаратных затрат. Результаты исследования могут быть использованы в теории цифровой обработки сигналов для решения практических задач, таких как шумоподавление, усиления и подавления спектра частот, интерполяции, децимации, эквализации и др.

Ключевые слова: цифровая обработка сигналов, цифровой фильтр, умножители с накоплением

Введение

Цифровая фильтрация является фундаментом цифровой обработки сигналов, так как она лежит в основе решения большинства практических задач этой области: шумоподавления [1], усиления и подавления спектра частот [2], интерполяции [3], децимации [4], эквализации [5] и многих других. Инструментом реализации цифровой фильтрации являются цифровые фильтры (ЦФ), которые принято делить на фильтры с конечной импульсной характеристикой (КИХ-ЦФ) и фильтры с бесконечной импульсной характеристикой (БИХ-ЦФ).

В цифровой схемотехнике существует потребность в увеличении производительности устройств. Обычно выделяют два подхода к повышению производительности цифровых устройств: конвейеризация [6] и распараллеливание [7]. В данной работе представлен модифицированный умножитель с накоплением для увеличения производительности КИХ-ЦФ. Проведены теоретический анализ и аппаратное моделирование на FPGA КИХ-ЦФ, содержащих предлагаемые модифицированные умножители с накоплением, а также сравнительный анализ с КИХ-ЦФ, использующими традиционные умножители с накоплением.

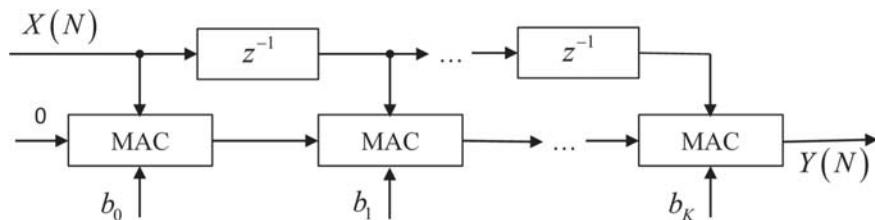
Устройство цифровых фильтров

На вход КИХ-ЦФ подается последовательность отсчетов сигнала $X(N)$, формируемая аналого-цифровым преобразователем из аналогового сигнала либо поступающая по вычислительнойшине из цифрового источника. На выходе КИХ-ЦФ формируется сигнал $Y(N)$, определяемый формулой

$$Y(N) = \sum_{i=0}^K b_i X(N-i), \quad (1)$$

где b_i – коэффициенты фильтра; K – порядок фильтра.

На рисунке 1 изображена схема КИХ-ЦФ. Символами z^{-1} обозначены блоки задержки сигнала на один отсчет, которые на практике реализуются при помощи буферов. Другими словами, при поступлении на вход блока z^{-1} сигнала $X(N)$ на выходе этого блока формируется сигнал $X(N-1)$. Основой схемы, изображенной на рисунке 1, является повторяющееся выполнение операции умножения с прибавлением к некоторому промежуточному значению. В современной цифровой обработке сигналов принято объединять эти две операции в один блок – умножитель с накоплением (multiply and accumulate, MAC).



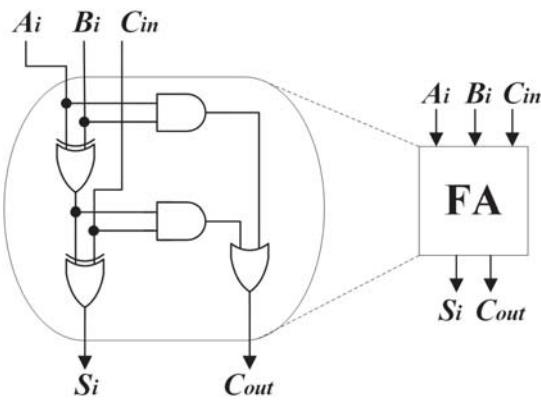


Рисунок 2. Логическая схема полного сумматора

Поскольку для первого блока MAC нет уже имеющегося сигнала для сложения, на вход, предназначенный для суммирования, подается ноль.

Сумматоры

Базовым устройством при выполнении арифметических операций является полный сумматор (full adder, FA) [8], показанный на рисунке 2. На вход устройства поступают биты A_i , B_i и C_{in} , которые преобразуются в выходные сигналы S_i и C_{out} по формулам:

$$\begin{aligned} S_i &= A_i \oplus B_i \oplus C_{in}, \\ C_{out} &= (A_i \& B_i) \vee (C_{in} \& (A_i \oplus B_i)). \end{aligned} \quad (2)$$

Выходной сигнал S_i является суммой, а выходной сигнал C_{out} – переносом, полученным в полном сумматоре.

На рисунке 3 изображен сумматор с сохранением переноса (carry save adder, CSA) [8]. Основная идея CSA состоит в преобразовании трех входных векторов входных данных A , B и D в два выходных вектора устройства: сумму S и перенос C . При этом количество информации для обработки на последующем шаге сокращается в 1,5 раза.

Другой модификацией сумматоров являются параллельно-префиксные сумматоры Когге – Стоуна (Kogge–Stone adder, KSA) [9]. Идея параллельно-префиксной реализации реализуется в три последовательных этапа. На первой стадии осуществляется предварительное вычисление

битов G_i , генерирующих перенос, битов P_i , передающих перенос, и полусумм H_i , для любого i , $0 \leq i \leq k-1$:

$$G_i = A_i \& B_i, \quad P_i = A_i \vee B_i, \quad H_i = A_i \oplus B_i. \quad (3)$$

Вторая стадия сложения, называемая параллельно-префиксной сетью, вычисляет сигналы переноса C_i , для $0 \leq i \leq k-1$, с использованием G_i и P_i . Для этого используется оператор \circ , который связывает пары генерирующих и передающих бит и определен как:

$$(G, P) \circ (G', P') = (G \vee (P \& G'), P \& P'). \quad (4)$$

Последовательное вычисление пар генерирующих и передающих бит (G, P) будем обозначать как $(G_{i:j}, P_{i:j})$, где соответствующая пара вычислена на основе бит $i, i-1, \dots, j$ следующим образом:

$$(G_{i:j}, P_{i:j}) = (G_i, P_i) \circ (G_{i-1}, P_{i-1}) \circ \dots \circ (G_j, P_j). \quad (5)$$

Так как перенос $C_i = G_{i:0}$ для всех $i > 0$, то все переносы могут быть вычислены с использованием только оператора \circ [9].

На третьей стадии вычисляется сумма:

$$S_0 = H_0 \oplus C_{in}, \quad S_i = H_i \oplus C_{i-1}, \quad S_k = C_{k-1} \quad (6)$$

для $0 \leq i \leq k-1$.

На рисунке 4 показаны базовые блоки для параллельно префиксного суммирования. Блок 4а реализует формулу (3). Блок 4б реализует формулу (4). В блоке 4в не происходит никаких действий. Блок 5г реализует формулу (6). На рисунке 5 представлена схема параллельно-префиксного сумматора с организацией параллельно-префиксной сети по методу Когге – Стоуна.

Умножители с накоплением

Рассмотрим реализацию блока MAC для узла КИХ-ЦФ, соответствующего коэффициенту b_i . Этот блок должен выполнить вычисления по формуле

$$Y_i = b_i X(N-i) + Y_{i-1}, \quad (7)$$

где Y_i – результат текущего блока MAC, а Y_{i-1} – результат предыдущего блока MAC.

Для получения результата по формуле (7) нет необходимости выполнять полностью умножение $b_i X(N-i)$, а достаточно лишь использо-

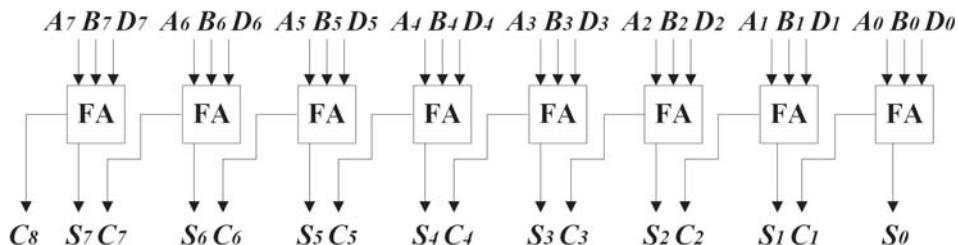


Рисунок 3. Логическая схема 8-битного сумматора с сохранением переноса

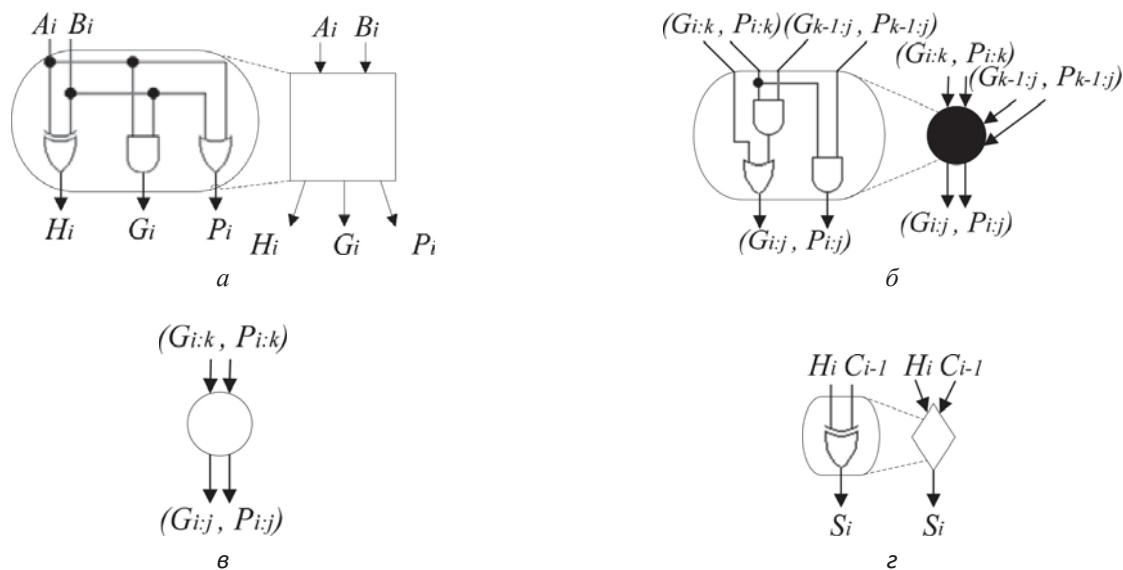


Рисунок 4. Устройство базовых блоков параллельно-префиксного сумматора:
а – блок первой стадии; б, в – блоки второй стадии; г – блок третьей стадии

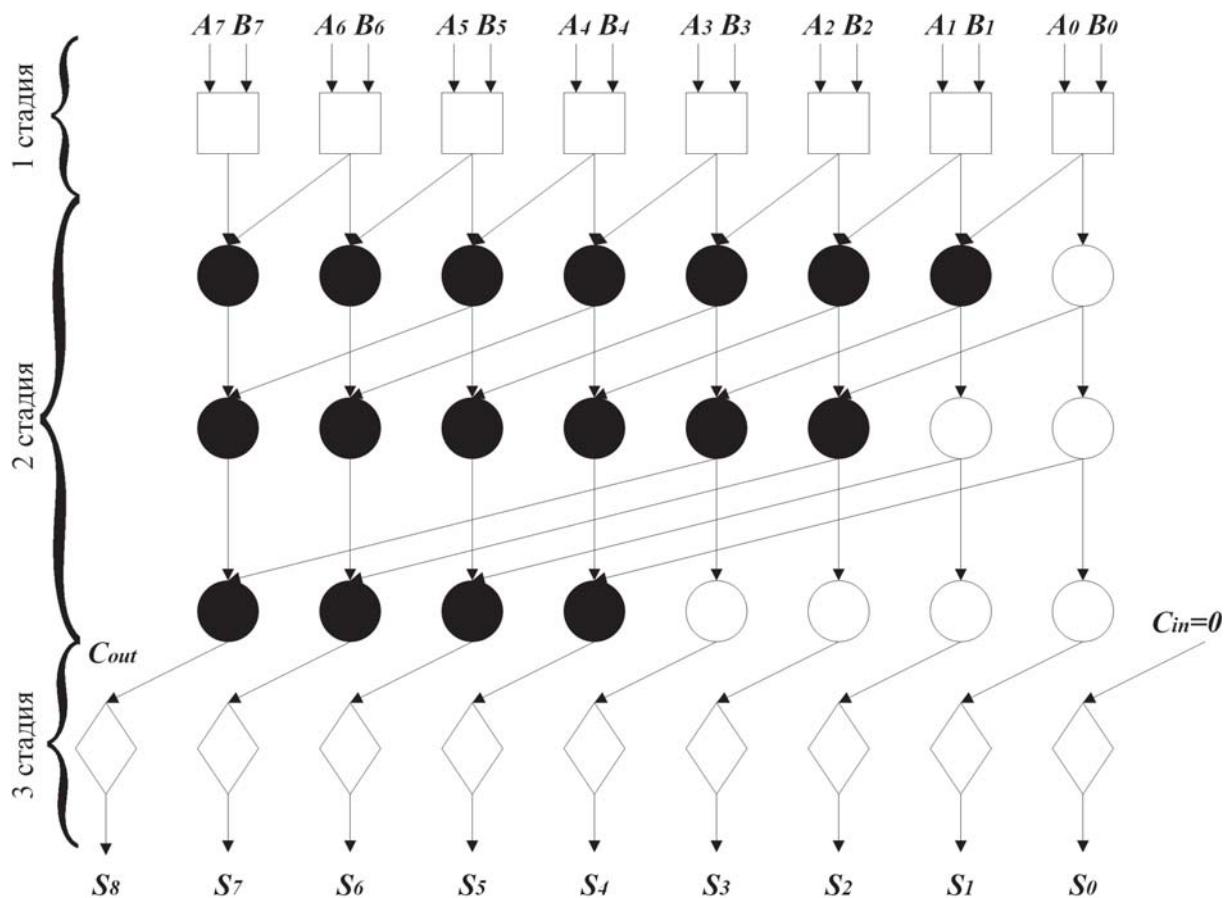


Рисунок 5. Структура 8-битного параллельно-префиксного сумматора Когге – Стоуна

вать генератор k частичных произведений, где $k = \lceil \log_2 b_i \rceil$ – разрядность коэффициента фильтра b_i и дерево сумматоров CSA без использования окончательного суммирования в KSA. Вместо этого к дереву сумматоров CSA можно подать на вход дополнительное слагаемое Y_{i-1} ,

а выходы этого дерева A и B уже суммировать в KSA. MAC-блок, функционирующий по такому принципу, представлен на рисунке 6. При помощи обозначения $((k+1):2)$ показано, что на вход дерева сумматоров CSA подается $(k+1)$ слагаемое, а на выходе формируется два слагаемых.

Теоретическая оценка параметров цифрового фильтра, содержащего умножители с накоплением

Для теоретической оценки параметров цифровых устройств будем использовать абстрактную модель подсчета задержки и площади СБИС, известную как unit-gate модель [10]. Если обозначить рассчитанную по указанной модели задержку логического устройства, U_{delay} , а площадь логического устройства U_{area} , то будем иметь следующее описание для логических вентилей:

$$U_{delay}(NOT) = 0, U_{area}(NOT) = 0; \quad (8)$$

$$U_{delay}(AND) = 1, U_{area}(AND) = 1; \quad (9)$$

$$U_{delay}(OR) = 1, U_{area}(OR) = 1; \quad (10)$$

$$U_{delay}(XOR) = 2, U_{area}(XOR) = 2; \quad (11)$$

$$U_{delay}(XNOR) = 2, U_{area}(XNOR) = 2. \quad (12)$$

Тогда, учитывая формулы (2) и (8)–(12), задержка и площадь FA может быть записана как

$$U_{delay}(FA) = 4, U_{area}(FA) = 7. \quad (13)$$

Сумматоры CSA состоят из блоков FA (см. рисунок 3), следовательно, параметры задержки и площади определяются следующим образом:

$$U_{delay}(CSA) = U_{delay}(FA) = 4; \quad (14)$$

$$U_{area}(CSA) = kU_{area}(FA) = 7k. \quad (15)$$

Для сумматоров KSA при выполнении условия $C_{in} = 0$, не требующего логической операции \oplus вычисления S_0 по формуле (6), параметры задержки и площади определяются по формулам

$$\begin{aligned} U_{delay}(KSA) &= \\ &= 2 + 2\lceil \log_2 k \rceil + 2 \approx 2\log_2 k + 4, \end{aligned} \quad (16)$$

$$\begin{aligned} U_{area}(KSA) &= \\ &= 4k + 3\left(k\lceil \log_2 k \rceil - (2^{\lceil \log_2 k \rceil} - 1)\right) + 2(k-1) \approx \\ &\approx 3\log_2 k + 3k + 1. \end{aligned} \quad (17)$$

Знак приближенного равенства в (16)–(17) означает допущение $\lceil \log_2 k \rceil \approx \log_2 k$ и не вносит никакой погрешности при рассмотрении наиболее распространенных на практике случаев суммирования 8-битных, 16-битных, 32-битных и т. д. чисел.

Произведем оценку параметров задержки и площади блока MAC, представленного на рисунке 6 для наихудшего случая, когда b_i заранее неизвестно. В этом случае имеем:

$$U_{delay}(MAC) \approx 8,8\log_2 k + 5; \quad (18)$$

$$U_{area}(MAC) \approx 3k\log_2 k + 8k^2 - 4k + 1. \quad (19)$$

Задержка и площадь вычислительной части КИХ-ЦФ, показанного на рисунке 1, равны сум-

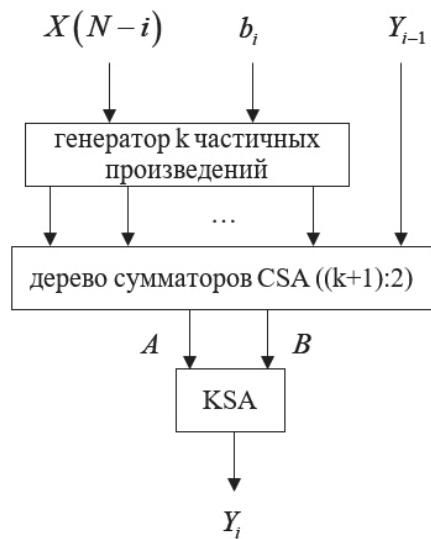


Рисунок 6. Структура MAC-блока

ме задержек и площадей MAC-блоков соответственно. Если обозначить вычислительную часть КИХ-ЦФ K -го порядка с k -битными коэффициентами на основе MAC-блоков через $FIR_{MAC}^{K,k}$, то

$$\begin{aligned} U_{delay}(FIR_{MAC}^{K,k}) &= (K+1)U_{delay}(MAC) \approx \\ &\approx 8,8K\log_2 k + 8,8\log_2 k + 5K + 5, \end{aligned} \quad (20)$$

$$\begin{aligned} U_{area}(FIR_{MAC}^{K,k}) &= (K+1)U_{area}(MAC) \approx \\ &\approx 3kK\log_2 k + 3k\log_2 k + 8k^2K + \\ &+ 8k^2 - 4kK - 4k + K + 1. \end{aligned} \quad (21)$$

Анализ формул (20) и (21) показывает, что основную долю задержки и площади $FIR_{MAC}^{K,k}$ составляют сумматоры KSA.

Модифицированные умножители с накоплением

Число сумматоров KSA в MAC-блоке можно уменьшить до одного, если использовать итеративность схемы на рисунке 1 и принцип функционирования блока MAC на рисунке 6. Выход каждого внутреннего MAC-блока на рисунке 1 подается на вход дерева сумматоров CSA последующего MAC-блока. Вместо этого на вход дерева сумматоров последующего MAC-блока можно подать слагаемые A и B из предыдущего MAC-блока без их суммирования в сумматоре KSA. Будем называть такой блок усеченным умножителем с накоплением (truncated multiply and accumulate, TMAC), принцип его работы показан на рисунке 7.

На вход каждого TMAC-блока поступают: сигнал $X(N-i)$, коэффициент фильтра b_i и слагаемые A_{i-1} и B_{i-1} с выхода предыдущего TMAC-блока.

Выходом TMAC-блока является пара чисел A_i и B_i , которая подается на вход последующего



Рисунок 7. Структура TMAC-блока

TMAC-блока или суммируется в сумматоре KSA, если данный блок TMAC является последним в КИХ-ЦФ.

Основным отличием блока TMAC от блока MAC является отсутствие сумматора KSA, требующего наибольших затрат задержки и площади, и немного более широкое дерево сумматоров CSA, преобразующих на одно слагаемое больше.

На рисунке 8 представлена схема КИХ-ЦФ на основе блоков TMAC. На входы первого блока TMAC необходимо подавать два нулевых сигнала, а выходы A_K и B_K последнего блока TMAC необходимо суммировать отдельным сумматором KSA.

Теоретическая оценка параметров цифрового фильтра, содержащего модифицированные умножители с накоплением

Чтобы описать устройство, изображенное на рисунке 8 в терминах задержки и площади, найдем сначала параметры U_{delay} и U_{area} блока TMAC.

$$U_{delay}(TMAC) \approx 6,8 \log_2 k + 1; \quad (22)$$

$$U_{area}(TMAC) \approx 8k^2. \quad (23)$$

Задержка и площадь вычислительной части КИХ-ЦФ, показанного на рисунке 5, равны сумме задержек и площадей TMAC-блоков и сумматора KSA соответственно.

Если обозначить вычислительную часть КИХ-ЦФ K -го порядка с k -битными коэффициентами на основе TMAC-блоков через $FIR_{TMAC}^{K,k}$, то

$$\begin{aligned} U_{delay}(FIR_{TMAC}^{K,k}) &= \\ &= (K+1)U_{delay}(TMAC) + U_{delay}(KSA) \approx \end{aligned} \quad (24)$$

$$\approx 6,8K \log_2 k + 8,8 \log_2 k + K + 5,$$

$$\begin{aligned} U_{area}(FIR_{TMAC}^{K,k}) &= \\ &= (K+1)U_{area}(TMAC) + U_{area}(KSA) \approx \end{aligned} \quad (25)$$

$$\approx 3k \log_2 k + 8k^2 K + 8k^2 + 3k + 1.$$

Теоретический сравнительный анализ цифровых фильтров

Для сравнительного анализа устройств $FIR_{MAC}^{K,k}$ и $FIR_{TMAC}^{K,k}$ зафиксируем поочередно параметры K и k . Рассмотрим сначала случай фильтра 15-го порядка, то есть $K = 15$. Для рассмотренного случая будем изменять разрядность k , перебирая наиболее популярные форматы данных: 8, 16, 32 и 64 бита.

В таблице 1 приведены полученные значения параметров U_{delay} и U_{area} для соответствующих устройств. После этого зафиксируем разрядность $k = 16$ бит и будем перебирать порядки K для КИХ-ЦФ: 3, 7, 15 и 31. В таблице 2 приведены полученные значения параметров U_{delay} и U_{area} для соответствующих устройств.

Анализ данных, полученных в таблицах 1 и 2, показывает, что переход от блоков MAC к блокам TMAC в качестве основы реализации КИХ-ЦФ позволяет теоретически сократить время выполнения фильтрации на 22–29 % и уменьшить аппаратные затраты на 2–6 %.

Аппаратное моделирование цифровых фильтров

Аппаратное моделирование произведено на FPGA Artix xc7a200tffg1156-3 в Xilinx Vivado 18.3 с использованием языка описания аппаратуры VHDL.

Целью моделирования было сравнение технических характеристик КИХ-ЦФ, содержащих блоки TMAC, с КИХ-ЦФ, использующими тра-

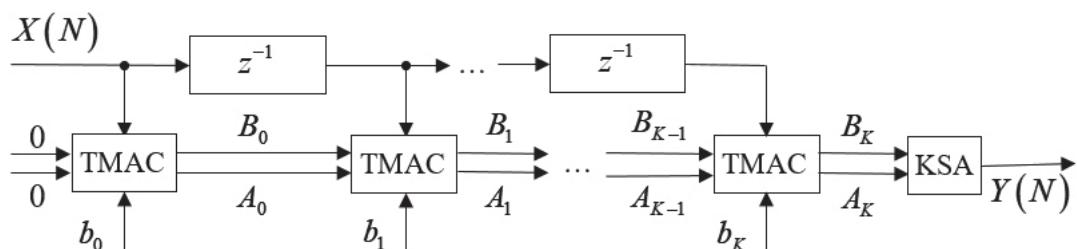
Рисунок 8. Схема КИХ-ЦФ порядка K на основе блоков TMAC

Таблица 1. Сравнение устройств $FIR_{MAC}^{15,k}$ и $FIR_{TMAC}^{15,k}$ с разной разрядностью данных

Разрядность данных, k	U_{delay}			U_{area}		
	$FIR_{MAC}^{15,k}$	$FIR_{TMAC}^{15,k}$	Различие, %	$FIR_{MAC}^{15,k}$	$FIR_{TMAC}^{15,k}$	Различие, %
8	502	352	-29,86	8848	8289	-6,32
16	643	463	-27,99	34832	33009	-5,23
32	784	574	-26,79	136720	131649	-3,71
64	925	685	-25,95	538640	525633	-2,41

Таблица 2. Сравнение устройств $FIR_{MAC}^{K,16}$ и $FIR_{TMAC}^{K,16}$ разного порядка

Порядок фильтра, K	U_{delay}			U_{area}		
	$FIR_{MAC}^{K,16}$	$FIR_{TMAC}^{K,16}$	Различие, %	$FIR_{MAC}^{K,16}$	$FIR_{TMAC}^{K,16}$	Различие, %
3	161	125	-22,39	8708	8433	-3,16
7	322	238	-26,12	17416	16625	-4,54
15	643	463	-27,99	34832	33009	-5,23
31	1286	914	-28,92	69664	65777	-5,58

Таблица 3. Результаты аппаратного моделирования устройств $FIR_{MAC}^{15,k}$ и $FIR_{TMAC}^{15,k}$ с разной разрядностью данных

Разрядность данных, k	Максимальная частота, МГц			Число LUT			Энергопотребление, Вт		
	$FIR_{MAC}^{15,k}$	$FIR_{TMAC}^{15,k}$	Различие, %	$FIR_{MAC}^{15,k}$	$FIR_{TMAC}^{15,k}$	Различие, %	$FIR_{MAC}^{15,k}$	$FIR_{TMAC}^{15,k}$	Различие, %
8	248	275	10,89	244	271	11,07	0,294	0,274	-6,80
16	130	139	6,92	748	801	7,09	0,301	0,315	4,65
32	68	71	4,41	2298	2637	14,75	0,389	0,396	1,80
64	33	29	-12,12	9585	9645	0,63	0,385	0,376	-2,34

Таблица 4. Результаты аппаратного моделирования устройств $FIR_{MAC}^{K,16}$ и $FIR_{TMAC}^{K,16}$ различного порядка

Порядок фильтра, K	Максимальная частота, МГц			Число LUT			Энергопотребление, Вт		
	$FIR_{MAC}^{K,16}$	$FIR_{TMAC}^{K,16}$	Различие, %	$FIR_{MAC}^{K,16}$	$FIR_{TMAC}^{K,16}$	Различие, %	$FIR_{MAC}^{K,16}$	$FIR_{TMAC}^{K,16}$	Различие, %
8	140	149	6,43	365	433	18,63	0,265	0,337	27,17
16	138	132	-4,35	488	426	-12,70	0,282	0,331	17,38
32	130	139	6,92	748	801	7,09	0,301	0,315	4,65
64	130	135	3,85	1207	1283	6,30	0,334	0,372	11,38

диционные блоки MAC. Для достижения данной цели было проведено аппаратное моделирование устройств, для которых был проведен теоретический анализ данных в таблицах 1 и 2.

Результаты аппаратного моделирования КИХ-ЦФ, представленные в таблицах 3 и 4, показывают, что использование блоков ТМАС при реализации КИХ-ЦФ позволяет увеличить тактовую частоту устройства на 4–11 %, но при этом растут аппаратные затраты: число использованных LUT больше на 1–19 %, а энергопотребление на 2–27 %.

Разница в теоретических и практических результатах объясняется особенностями FPGA и

недостатком unit-gate модели, который заключается в игнорировании эффектов нагрузочной способности выходов как отдельных логических элементов, так и микросхемы в целом.

Заключение

В статье представлена модифицированная архитектура умножителя с накоплением ТМАС, которая способна увеличить производительность КИХ-ЦФ до 11 %, но требует больше аппаратных затрат по сравнению с традиционными умножителями КИХ-ЦФ, использующими традиционные умножители с накоплением MAC. Результаты исследования могут быть использованы в теории

цифровой обработки сигналов и для решения практических задач, таких как шумоподавление, усиление и подавление спектра частот, интерполяция, децимация, эквализация и др.

Благодарности

Работа выполнена при поддержке Российского фонда фундаментальных исследований (№ 19-07-00130 А и № 18-37-20059 мол-а-вед), Совета по грантам Президента Российской Федерации (проекты СП-126.2019.5 и СП-2245.2018.5).

Литература

1. Bhaskar P.C., Uplane M.D. FPGA based digital FIR multilevel filtering for ECG denoising // 2015 International Conference on Information Processing (ICIP). Pune, 2015. P. 733–738.
2. Хуако Р.А. Исследование возможности построения одноантенного ретранслятора с коэффициентом усиления больше единицы // Инфокоммуникационные технологии. 2012. Т. 10, № 2. С. 76–80.
3. Porshnev S.V., Kusaykin D.V., Klevakin M.A. On accuracy of periodic discrete finite-length signal reconstruction by means of a Whittaker-Kotelnikov-Shannon interpolation formula // Ural Symposium on Biomedical Engineering, Radioelectronics and Information Technology (USBEREIT). Ekaterinburg, 2018. P. 165–168.
4. An area-efficient column-parallel digital decimation filter with Pre-BWI topology for CMOS image sensor / F. Tang [et al.] // Circuits and Systems I: Regular Papers, IEEE Transactions on (IEEE T CIRCUITS-I). 2018. Vol. 65, no. 8. P. 2524–2533.
5. Modeling of ADC-based serial link receivers with embedded and digital equalization / S. Kiran [et al.] // Circuits and Systems I: Regular Papers, IEEE Transactions on (IEEE T CIRCUITS-I). 2019. Vol. 9, no. 3. P. 536–548.
6. Lakkadi A., DeBrunner L.S. Radix-4 modular pipeline fast Fourier transform algorithm // 51st Asilomar Conference on Signals, Systems, and Computers. Pacific Grove. 2017. P. 440–444.
7. A novel systolic parallel hardware architecture for the FPGA acceleration of feedforward neural networks / L.D. Medus [et al.] // IEEE Access. 2019. Vol. 7. P. 76084–76103.
8. Parhami B. Computer Arithmetic: Algorithms and Hardware Designs. New York: Oxford University Press, 2009. 672 p.
9. Kogge P.M., Stone H.S. A parallel algorithm for the efficient solution of a general class of recurrence equations // IEEE Transaction on computers. 1973. Vol. C-22, no. 8. P. 786–793.
10. Zimmermann R. Binary Adder Architectures for Cell-Based VLSI and Their Synthesis. Konstanz: Hartung-Gorre, 1998. 205 p.

Получено 21.07.2020

Ляхов Павел Алексеевич, к.ф.-м.н., доцент кафедры прикладной математики и математического моделирования (ПМиММ) Северо-Кавказского федерального университета (СКФУ). 355017, Российская Федерация, г. Ставрополь, ул. Пушкина, 1. Тел. +7 962 028-72-14. E-mail: ljahov@mail.ru

Ионисян Андрей Сергеевич, к.ф.-м.н., доцент кафедры ПМиММ СКФУ. 355017, Российская Федерация, г. Ставрополь, ул. Пушкина, 1. Тел. +7 918 762-57-62. E-mail: asion@mail.ru

Валуева Мария Васильевна, аспирант кафедры ПМиММ СКФУ. 355017, Российская Федерация, г. Ставрополь, ул. Пушкина, 1. Тел. +7 988 745-88-85. E-mail: mriya.valueva@mail.ru

Ларикова Анна Сергеевна, аспирант кафедры ПМиММ СКФУ. 355017, Российская Федерация, г. Ставрополь, ул. Пушкина, 1. Тел. +7 988 116-85-97. E-mail: larikova@gmail.com

MODIFIED MULTIPLY AND ACCUMULATE UNIT TO INCREASING OF DIGITAL FILTERS PERFORMANCE

Lyakhov P.A., Ionisyan A.S., Valueva M.V., Larikova A.S.

North-Caucasus Federal University, Stavropol, Russian Federation

E-mail: mriya.valueva@mail.ru

This paper proposes a modified architecture of the multiply and accumulate units and their application for increasing the performance of digital filters with a finite impulse response. The paper provides a theoretical analysis of the proposed modified multipliers and implements hardware simulation.

The theoretical analysis has shown that replacing traditional multiply and accumulate units by modified ones as the basis for the implementation of digital filters can theoretically reduce the filtering time to 29 %. Hardware simulation has shown that modified multiply and accumulate units increase the performance of digital filters by up to 11 % compared to digital filters using traditional multiply and accumulate units by increasing hardware costs. The results of this research can be used in the theory of digital signal processing to solve practical problems, such as noise reduction, amplification and suppression of the frequency spectrum, interpolation, decimation, equalization, etc.

Keywords: *digital signal processing, digital filter, multiply and accumulate units*

DOI: 10.18469/ikt.2020.18.4.03

Lyakhov Pavel Alekseyevich, North-Caucasus Federal University, 1, Pushkin Street, Stavropol, 355017, Russian Federation; Assistant Professor of Applied Mathematics and Mathematical Modeling Department, PhD in Physics and Mathematics. Tel. +7 962 028-72-14. E-mail: ljahov@mail.ru

Ionisyan Andrey Sergeevich, North-Caucasus Federal University, 1, Pushkin Street, Stavropol, 355017, Russian Federation; Assistant Professor of Applied Mathematics and Mathematical Modeling Department, PhD in Physics and Mathematics. Tel. +7 918 762-57-62. E-mail: asion@mail.ru

Valueva Maria Vasilevna, North-Caucasus Federal University, 1, Pushkin Street, Stavropol, 355017, Russian Federation; PhD Student of Applied Mathematics and Mathematical Modeling Department. Tel. +7 988 745-88-85. E-mail: mriya.valueva@mail.ru

Larikova Anna Sergeevna, North-Caucasus Federal University, 1, Pushkin Street, Stavropol, 355017, Russian Federation; PhD Student of Applied Mathematics and Mathematical Modeling Department. Tel. +7 988 116-85-97. E-mail: larikova@gmail.com

References

1. Bhaskar P.C., Uplane M.D. FPGA based digital FIR multilevel filtering for ECG denoising. *2015 International Conference on Information Processing (ICIP)*. Pune, 2015, pp. 733–738.
2. Huako R.A. Investigation of the possibility of constructing a single-antenna repeater with a gain greater than one. *Infokommunikacionnye tehnologii*, 2012, vol. 10, no. 2, pp. 76–80. (In Russ.)
3. Porshnev S.V., Kusaykin D.V., Klevakin M.A. On accuracy of periodic discrete finite-length signal reconstruction by means of a Whittaker-Kotelnikov-Shannon interpolation formula. *Ural Symposium on Biomedical Engineering, Radioelectronics and Information Technology (USBE-REIT)*. Ekaterinburg, 2018, pp. 165–168.
4. Tang F. et al. An area-efficient column-parallel digital decimation filter with Pre-BWI topology for CMOS image sensor. *Circuits and Systems I: Regular Papers, IEEE Transactions on (IEEE T CIRCUITS-I)*, 2018, vol. 65, no. 8, pp. 2524–2533.
5. Kiran S. et al. Modeling of ADC-based serial link receivers with embedded and digital equalization. *Circuits and Systems I: Regular Papers, IEEE Transactions on (IEEE T CIRCUITS-I)*, 2019, vol. 9, no. 3, pp. 536–548.
6. Lakkadi A., DeBrunner L.S. Radix-4 modular pipeline fast Fourier transform algorithm. *51st Asilomar Conference on Signals, Systems, and Computers*. Pacific Grove, 2017, pp. 440–444.
7. Medus L.D. et al. A novel systolic parallel hardware architecture for the FPGA acceleration of feedforward neural networks. *IEEE Access*, 2019, vol. 7, pp. 76084–76103.
8. Parhami B. *Computer Arithmetic: Algorithms and Hardware Designs*. New York: Oxford University Press, 2009, 672 p.
9. Kogge P.M., Stone H.S. A parallel algorithm for the efficient solution of a general class of recurrence equations. *IEEE Transaction on computers*, 1973, vol. C-22, no. 8, pp. 786–793.
10. Zimmermann R. *Binary Adder Architectures for Cell-Based VLSI and Their Synthesis*. Konstanz: Hartung-Gorre, 1998, 205 p.

Received 21.07.20