

Заключение

Анализ полученных результатов позволяет сделать следующие выводы.

В ЗПТ диаметром 40 мм, 32 мм и 25 мм, применяемых для кабельных линий связи, при отсутствии кабеля в трубопроводе и без учета действия внешней среды, давление при замерзании талой воды достигает значений порядка 0,87; 1,12 и 0,25 МПа, соответственно.

На давление в трубопроводе влияет химический состав воды. Максимальное давление при замерзании создает дистиллированная вода. В ЗПТ с внешним диаметром 40 мм, при замерзании воды давление достигает 0,93 МПа.

Литература

1. Калягин А.М. Исследование линии оптического кабеля, проложенного в защитной пластмассовой трубе в многолетнемерзлотных грунтах // *Электросвязь*. № 12, 2006. – С. 11-15.
2. Киушов А.В. Технология ЗПТ. Теория и практика // *Lightwave RE*, №3, 2005. – С. 36 - 41.
3. Спиридонов В.Н. Реальные перспективы использования ЗПТ при строительстве ВОЛС // *Lightwave RE*, №4, 2006. – С. 28 - 30.
4. Сабинин Н.К. Экономика строительства ВОЛС подземной прокладки // *Lightwave RE*, №2, 2003. – С. 14 - 20.
5. Ларин Ю.Т. Оптические кабели: методы расчета конструкций. Материалы. Надежность и стойкость к ионизирующему излучению. М.: Престиж, 2006. – 304 с.
6. Шитов В.В., Григораш В.В., Шкалов А.А. Исследование оптико-механических характеристик оптических волокон // *Электросвязь*. №8, 1982. – С. 8 - 11.
7. H. Murata. Handbook of Optical Fibers and Cables: Second Edition. – New York: Marcel Dekker, 1996. – 519 p.
8. Г.А. Зотов и др. Эксплуатация скважин в неустойчивых коллекторах. М.: Недра, 1987. – 172 с.
9. И.Ф. Ляхович, С.М. Рак, С.Т. Поляков. Защита кабелей от повреждений замерзающей водой // *Вестник связи*. № 9, 1985. – С. 30 - 31.
10. ТУ 5296-003-27459005-2003. Трубы защитные пластмассовые для линейных сооружений связи. СПб.: 2003. – 29 с.
11. Нормы расчета на прочность оборудования и трубопроводов атомных энергетических установок. ПНАЭ Г-7-002-86. М.: Энерго-атомиздат, 1989. – 525 с.
12. Г.А. Корн, Т.М. Корн. Справочник по математике для научных работников и инженеров. М.: Наука, 1974. – 832 с.
13. В. Гриффен. Прокладка оптических кабелей в трубках. Plumettaz, 1993. – 138 с.

ТЕХНОЛОГИИ КОМПЬЮТЕРНЫХ СИСТЕМ И СЕТЕЙ

УДК 621.396

РАЗРАБОТКА И ИССЛЕДОВАНИЕ КОНТРОЛЛЕРА МАГИСТРАЛИ VME

Хворенков В.В., Юминов О.Б., Пивоваров В.В.

В статье рассмотрен вариант реализации на базе ПЛИС контроллера сопряжения сигнального процессора ADSP-21364 с магистралью VME. Контроллер реализован на базе семейства ПЛИС Cyclone II корпорации Altera-EP2C5Q208I8. Определены предельные скорости обмена информацией при максимальной достоверности при различных условиях эксплуатации.

Введение

Автоматизированное рабочее место центральной аппаратуры комплекса средств КВ-УКВ радиосвязи содержит в своем составе специализированную электронно-вычислительную машину (СЭВМ) и радиомодем (РМ).

СЭВМ предназначена для решения задач канального и сетевого уровней и реализуется на

универсальных микропроцессорах. РМ предназначен для обеспечения канального и физического уровней и реализуется на сигнальных процессорах ADSP-21364.

Обмен информации между этими устройствами осуществляется по магистрали VME. В связи с тем, что устройства имеют разную архитектуру, то для реализации протоколов обмена информацией необходимо разработать специальный контроллер магистрали VME и исследовать его основные технические характеристики.

Целью настоящей статьи является изложение основных подходов к проектированию контроллера магистрали VME и определение предельных скоростей обмена информацией при максимальной достоверности в различных условиях эксплуатации.

Разработка контроллера магистрали VME

Сложность проектирования подобного устройства заключается в том, что магистраль VME будет являться активным (ведущим) устройством для сигнального процессора. Однако, в свою очередь, сигнальный процессор не имеет каких-либо параллельных интерфейсов, которые позволяют управлять им. Работа процессора может осуществляться лишь с устройствами пассивными, такими как асинхронная память, память SDRAM и т.д. по интерфейсу внешней шины. Таким образом, контроллер сопряжения будет управляться двумя устройствами сразу [1].

Для реализации контроллера было выбрано семейство ПЛИС Cyclone II корпорации Altera. ПЛИС указанного семейства изготавливаются по технологии 90 нм. Данный тип ПЛИС относятся к классу FPGA – программируемые массивы логических вентилей, особенностью которого является гибкость реализации логических функций и наличие встроенной пользовательской оперативной памяти. Кроме пользовательской памяти, ПЛИС содержат встроенные аппаратные перемножители разрядностью 9 бит и схемы фазовой автоподстройки частоты.

Магистраль VME представляет собой 4 шины: данных, арбитража, приоритетных прерываний и служебную. Каждая из шин включает в себя функциональные блоки. Функциональные блоки, которые реализованы в разрабатываемом устройстве: исполнитель (шина данных), адресный монитор (шина данных), прерыватель (шина приоритетных прерываний). Предполагается передача только 16-ти и 32-разрядных слов по шине данных VME. Согласно перечисленным выше функциональным блокам, будут задействованы следующие линии магистрали VME (символ «*» означает инверсную логику сигнала):

- контролируемые линии: D31-D00 (линии данных), A31-A01 (линии адреса), AM5-AM0 (линии модификатора), AS* (адресный строб), DS0* (строб данных 0), DS1* (строб данных 1), LWORD* (сигнал «длинное слово»), WRITE* (строб записи), IACKIN* (строб подтверждения прерывания), SYSFAIL* (сигнал системного отказа), SYSCLK (системная частота 16 МГц);

- возбуждаемые линии: D31-D00 (линии данных), DTACK* (строб подтверждения передачи данных), BERR* (строб ошибки магистрали), IACKOUT* (строб распространения по цепочке прерываний), IRQ1*-IRQ7* (линии запросов прерываний), SYSFAIL* (сигнал системного отказа).

Сигнал SYSRESET* (системный сброс) будет использоваться для перезагрузки конфигурации

самой ПЛИС и не задействует пользовательский вывод. Итак, для организации интерфейса с магистралью VME нам потребуется 87 пользовательских выводов.

Интерфейс внешней шины сигнального процессора должен работать в режиме управления асинхронной памятью. Со стороны ADSP-21364 будут задействованы следующие линии:

- контролируемые линии: DATA15-DATA00 (линии данных), ADDR12-ADDR01 (линии адреса), AMS2* (сигнал выбора области внешней памяти), AOE* (сигнал выбора чипа памяти), AWE* (сигнал разрешения записи), ARE* (сигнал разрешения чтения), RESET* (сигнал сброса), DSPCLK (сигнал тактирования);

- возбуждаемые линии: DATA15-DATA00 (линии данных), ARDY (сигнал подтверждения передачи данных), IRQDSP* (сигнал запроса прерывания).

Таким образом, для организации интерфейса с сигнальным процессором нам потребуется 36 пользовательских выводов ПЛИС. Кроме того, для организации интерфейса с магистралью VME необходимо использование буферов. Для этого выделим 3 линии для возможности управления внешними буферами и отведем 3 вывода для первоначального определения адреса устройства на магистрали VME (начальное значение A15-A13, A31-A16 должны задаваться по сбросу внутренне в специальном регистре).

На рис. 1 представлена структурная схема контроллера. Поскольку контроллер управляется двумя устройствами одновременно, то было принято решение организовать обмен данных на массиве 2-х портовой памяти, сигнализируя противоположному устройству о том, что произошла запись посредством прерываний. Источниками прерываний служат события: запись по любому адресу 2-х портовой памяти, запись по адресу 2-х портовой памяти, равному значению, записанному заранее устройством, для которого возникает прерывание, в один из двух специальных регистров сравнения адреса (подобные регистры существуют как для DSP, так и для VME). Соответственно, при записи в память данных, к примеру, с магистрали VME, процессор должен будет сделать следующие действия: обнаружить запрос прерывания на выводе IRQDSP*, считать внутренний регистр активных прерываний (находится в контроллере прерываний), считать регистры сравнения (если информация о данных в них не осталась во внутренней памяти процессора) либо считать FIFO-буфер адреса VME (находится в контроллере адреса VME) – в зависимости от

источника прерывания, произвести считывание данных из двухпортовой памяти по считанному ранее адресу. Аналогичные действия производятся магистралью VME, за исключением того, что при выставлении запроса прерывания осуществляется процедура подтверждения запроса и пересылки системному контроллеру информации статуса-идентификации прерывателя разрабатываемого контроллера (информация предварительно записывается сигнальным процессором в специальный внутренний регистр).

Для каждого из устройств контроллер имеет свои внутренние регистры управления – регистр маскирования прерываний, регистр активных прерываний, регистры сравнения адреса (по 2), регистр статуса-идентификации прерывателя. Также можно обратиться к FIFO буферу адреса противоположного устройства. Специфические регистры: для DSP – это регистр управления контроллером, который позволяет выбрать источник тактирования – либо системная частота VME, которая внутренне преобразуется на PLL до 100 МГц, либо внешняя частота с вывода DSPCLK, а также установить в активное состояние сигнал

SYSFAIL*; для VME – это регистр адреса размещения устройства в адресном пространстве VME (регистр старших разрядов), а также регистр выбора уровня прерывания (от IRQ1* до IRQ7* с учетом приоритетности). Регистры расположены в конце карты памяти каждого из устройств и занимают диапазон 0xFF8 ÷ 0xFFF (ведется адресация 16-разрядных слов). Остальной диапазон занимает 2-х портовая память.

В итоге, реализация подобного контроллера занимает порядка 1000 логических элементов и 114688 бит пользовательской оперативной памяти (2-х портовая память 4096 16-разрядных слов, два FIFO буфера адреса 2048 12-разрядных слов). Число необходимых пользовательских выводов – 129. Исходя из этого, выбираем ПЛИС EP2C5Q20818 – ПЛИС в пластиковом корпусе типа PQFP, 142 пользовательских вывода, 4608 логических элементов, 119808 бит пользовательской памяти, 2 встроенные схемы PLL, рабочий температурный диапазон – от -40 до +100° С.

При эмуляции в среде разработки ПЛИС фирмы Altera QUARTUS II и отладке макетной

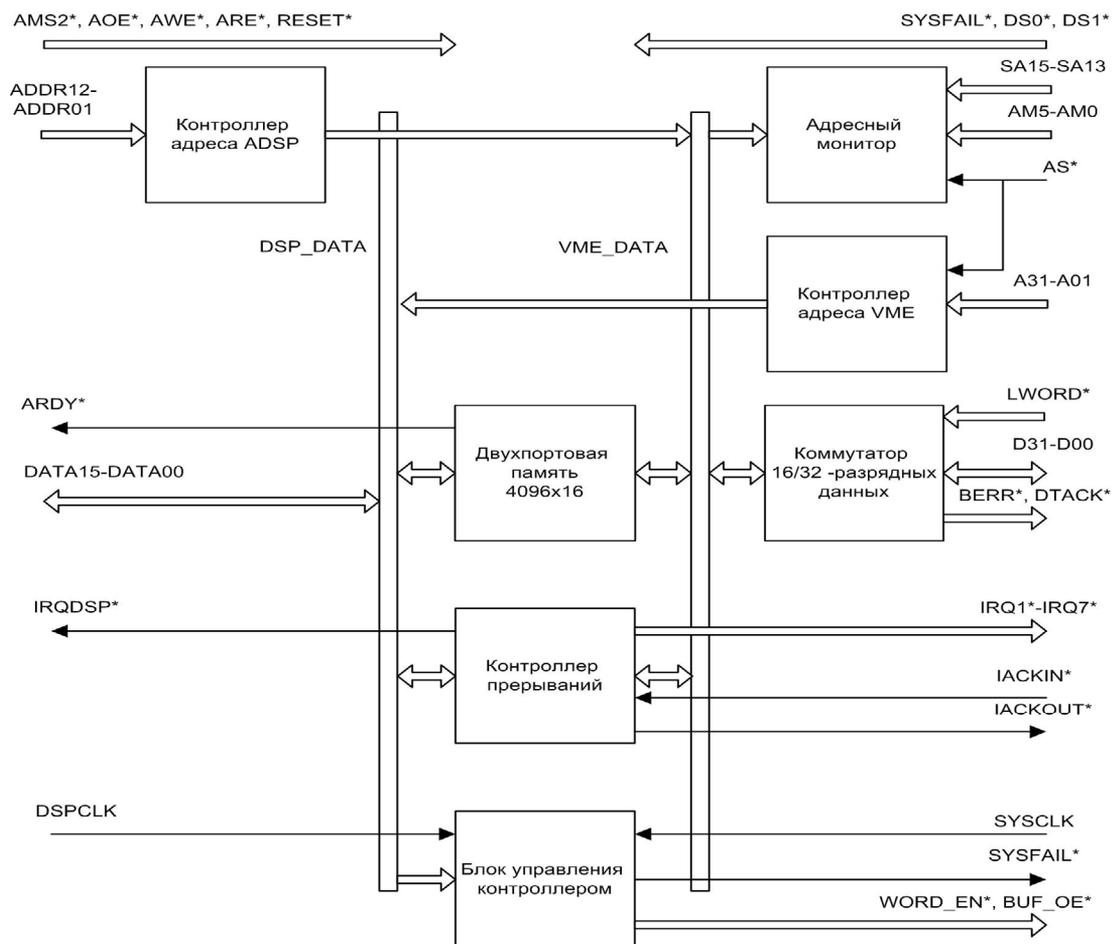


Рис. 1. Структурная схема контроллера

платы контроллера получены следующие результаты и параметры:

- скорость передачи составила порядка 15-20 МБайт/С;
- реализована возможность поддержки программного выбора уровня запроса прерывания по магистрали VME;
- реализована возможность маскирования прерываний;
- реализована возможность работы устройств (сигнального процессора и магистрали VME) независимо друг от друга, используя массив временного хранения данных в виде 2-х портовой памяти;
- реализована возможность размещать контроллер в адресном пространстве магистрали VME с помощью специального внутреннего регистра.

В процессе разработки контроллера была проведена проверка алгоритмов и логики работы контроллера в среде QUARTUS II. Для этого создавался файл входных временных диаграмм и, после анализа программой, мы изучали выходные временные диаграммы на предмет соответствия логики работы контроллера требованиям, предъявляемым ГОСТ Р МЭК 821-2000 [2] – для магистрали VME, и инструкции по использованию сигнального процессора ADSP-21364 SHARC [3].

По результатам моделирования работы контроллера в программной среде можно сделать вывод – алгоритмы работы полностью соответствуют стандартам, описывающим сопрягаемые контроллером устройства.

Исследование контроллера

Проводились следующие исследования влияние дестабилизирующих факторов на работу контроллера в среде QUARTUS II [4].

1. Оптимизация частоты тактирования контроллера. Производилось 80 циклов записи данных максимальной для каждого интерфейса разрядности во внутреннюю память контроллера с последующим чтением тех же самых данных. Результаты чтения и записи сравнивались, после чего вычислялась вероятность правильной передачи. Частота тактирования изменялась от 40 МГц и до 160 МГц с шагом в 20 МГц. Выбор верхней и нижней границы объясняется следующими соображениями.

Проверка работоспособности происходила при частоте тактирования в 80 МГц. Эта частота была выбрана из соображений, по которым проектируются сигнальные микро-

процессоры. В них, для выполнения заданных пользователем операций, внутренняя частота тактирования повышается в 4-8 раз для выполнения всех фаз операций передачи или обработки данных внутри кристалла за один такт внешней частоты. Учитывая, что максимальная скорость передачи данных по магистрали составляет 40 Мбайт в секунду, получим, что скорость внешней тактовой частоты должна равняться 10-20 МГц, то есть внутренняя тактовая частота будет равна 40-80 МГц. Таким образом, нижняя граница определялась нижней границей частоты тактирования ПЛИС. Верхняя граница определялась граничной частотой работоспособности внутренней двухпортовой памяти ПЛИС.

2. Исследования качества передачи данных по шине и задержки чтения данных от частоты тактирования контроллера. Результаты исследований приведены, соответственно, на рис. 2 и рис. 3.

Задержка чтения данных – отрезок времени от перехода управляющих стробов считывания в активное состояние до появления стабильных данных на линиях контроллера.

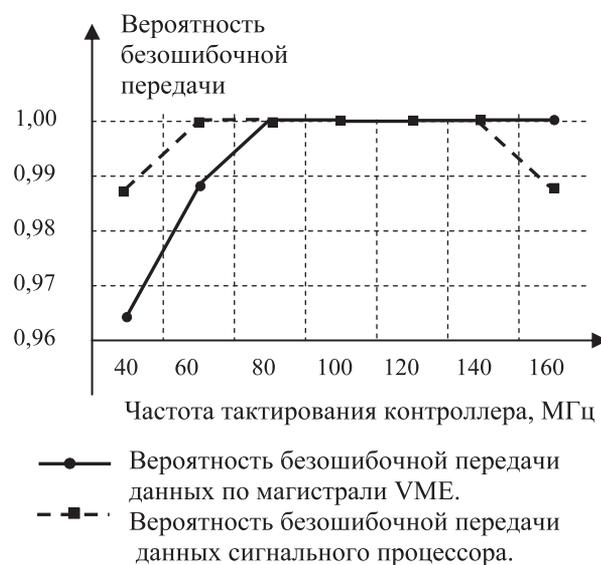


Рис. 2. Зависимости вероятности безошибочной передачи данных от частоты тактирования контроллера

Анализируя график на рис. 2, можно сказать, что ошибки при слишком малой частоте тактирования были вызваны условиями проведения эксперимента. А именно – длительность циклов записи и чтения не превышала 100 нс (именно столько времени актуальные

данные находились на шинах), так как период колебаний управляющих стробов был четко привязан к этому времени.

Это время означает, что любой цикл считывания или записи идет на частоте 10 МГц, что описывает условия передачи с максимальной скоростью по магистрали VME 32-х разрядных данных. Потому, ошибки на низких частотах тактирования стоит воспринимать как ошибки при ведении обмена на максимальной скорости. Если же скорость обмена упадет – ошибки исчезнут в зависимости от этого.

Анализируя график на рис. 3, можно сказать, что операции выдачи данных на шину выполняются быстрее при увеличении частоты тактирования. Это обосновано, потому что, несмотря на то, что оба устройства являются асинхронными, внутренняя двухпортовая память контроллера является синхронной и требует для своей работы тактовой последовательности. Таким образом, оптимальной частотой тактирования является частота в 100-120 МГц.

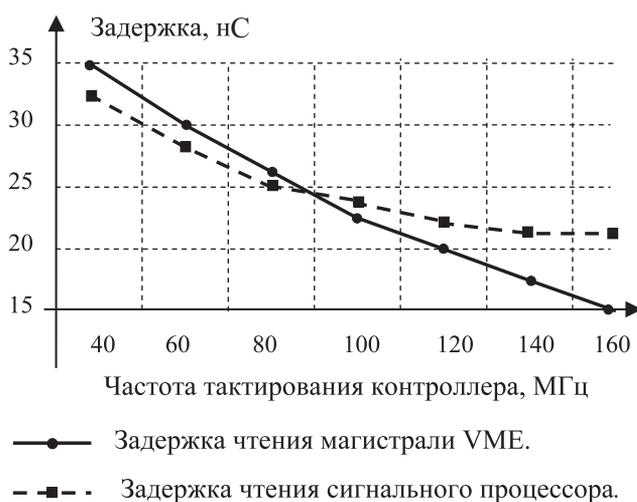


Рис. 3. Зависимости максимальной задержки чтения от частоты тактирования контроллера

3. Исследования влияния скорости обмена на работоспособность контроллера проводились аналогично исследованию п. 1, то есть задавались 80 циклов пересылки данных в отношении обоих сопрягаемых устройств. В эксперименте использовалась ширина пересылки данных по магистрали – 32 разряда, тип пересылки – блочный, ширина пересылки данных по интерфейсу сигнального процессора – 16 разрядов. Частота тактирования контроллера равна 100 МГц.



Рис. 4. Зависимости вероятности безошибочной передачи данных от скорости обмена интерфейсов устройств с контроллером

В исследовании также учитывались и задержки, которые должны выдерживаться сопрягаемыми устройствами по отношению к контроллеру или контроллера к сопрягаемым устройствам. Зависимость вероятности безошибочной передачи данных от скорости обмена представлена на рис. 4.

Анализируя график на рис. 4, можно отметить, что максимальные скорости обмена при безошибочной передаче данных достаточно высоки – для сигнального процессора это 50 Мбайт/С, для магистрали VME это 80 Мбайт/С. Однако, следует принять во внимание то, что в данном исследовании не учтено влияние емкостных нагрузок магистрали, а также быстрдействие буферов, с помощью которых контроллер подключается к магистрали VME. Потому запас по скорости для достоверной передачи данных будет необходим при отладке системы в реальных условиях.

Заключение

1. Предложен вариант реализации контроллера сопряжения сигнального процессора ADSP-21364 с магистралью VME, который показал следующие результаты и параметры:

- скорость передачи составила порядка 15-20 Мбайт/С;
- реализована возможность поддержки программного выбора уровня запроса прерывания по магистрали VME;
- реализована возможность маскирования прерываний;

- реализована возможность работы устройств (сигнального процессора и магистрали VME) независимо друг от друга, используя массив временного хранения данных в виде двухпортовой памяти;

- реализована возможность размещать контроллер в адресном пространстве магистрали VME с помощью специального внутреннего регистра.

2. Проведены исследования работоспособности контроллера в различных условиях эксплуатации путем моделирования в программной среде разработки QUARTUS II, а именно:

- определены достоверности передачи данных и величины задержки от частоты тактирования контроллера и скорости передачи данных;

- проверено, что логика работы контроллера отвечает требованиям, предъявляемым к логике работы устройств, как со стороны магистрали VME, так и со стороны сигнального процессора ADSP-21364;

- определена оптимальная частота тактирования, которая, исходя из результатов исследований, составляет 100-120 МГц.

Литература

1. Пивоваров В.В., Юминов О.Б. Проектирование контроллера обмена данных между сигнальным процессором ADSP-21364 SHARC и магистралью микропроцессорных систем VME // Сб. докладов 5-й РНТК «Приборостроение в XXI веке. Интеграция науки, образования и производства». Ижевск, 2008. – С. 321-324.
2. ГОСТ Р МЭК 821-2000. Магистраль микропроцессорных систем для обмена информацией, разрядностью от 1 до 4 байт (Магистраль VME). Госстандарт России, 2000. – 214 с.
3. ADSP-2136x SHARC Processor Hardware Reference. Analog Devices, Inc. <http://www.analog.com>
4. QUARTUS II handbook, Volume 1. Altera Corporation. <http://www.altera.com>

УДК 681.327

МНОГОАЛФАВИТНЫЙ АДАПТИВНЫЙ ШИФР, ОСНОВАННЫЙ НА ИНТЕГРАЛЬНЫХ ПРЕОБРАЗОВАНИЯХ

Алексеев А.П., Блатов И.А., Макаров М.И., Похлебаев В.А.

В статье рассматривается шифр, работа которого строится таким образом, чтобы выходное распределение элементов криптограммы имело равномерное распределение.

Постановка задачи

Одноалфавитные шифры не являются криптостойкими из-за имеющейся статистической устойчивости появления букв в открытом тексте. На рис. 1 показана гистограмма распределения частоты появления строчных русских букв в книге [1]. Гистограмма получена путем обработки текста, содержавшего 1,05 миллиона символов, среди которых было 786 тысяч русских строчных букв.

Как видно из рис. 1, абсолютная частота появления букв отличается большой неравномерностью, которая позволяет криптоаналитику успешно произвести дешифрацию длинной криптограммы, созданной методом одноалфавитной замены. Чаще всего в статистически обработанном тексте встречались строчные гласные буквы «о», «е», «и», «а». Реже других русских строчных букв попадались «ш», «э», «ь», «е».

Распределение символов будет несколько изменяться в зависимости от предметной области, из которой берут текст, подвергаемый обработке. Так при анализе распределения заглавных букв было замечено существенное увеличение частоты появления буквы «Э». Это объяснилось тем, что книга [1] относится к области вычислительной техники, и в тексте часто встречалось слово «ЭВМ».

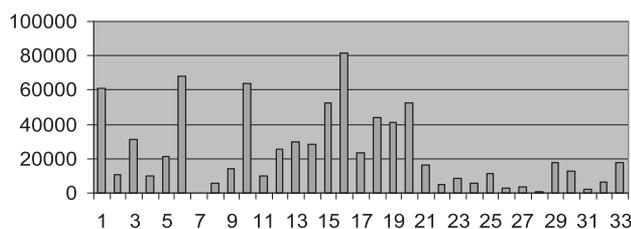


Рис. 1. Распределение строчных букв русского алфавита в открытом тексте

На рис. 1 по горизонтальной оси отложены порядковые номера букв в алфавите. По вертикальной оси отложены абсолютные частоты появления строчных букв в тексте.