

БОРТОВАЯ МИКРОПРОЦЕССОРНАЯ СИСТЕМА УПРАВЛЕНИЯ С ПОВЫШЕННОЙ СБОЕУСТОЙЧИВОСТЬЮ

Д. В. Удалов

АО «Научно-производственный центр «Полус»
Российская Федерация, 634050, г. Томск, просп. Кирова, 56в
E-mail: polus@online.tomsk.net

Современные инновационные тенденции развития космического приборостроения связаны с применением микропроцессорных технологий в бортовой аппаратуре. Поэтому в состав аппаратуры вводятся микропроцессорные системы управления, осуществляющие непосредственное управление прибором на основании внутренних алгоритмов, что позволяет перейти к распределенному принципу управления, в основе которого лежит идея о локализации функций управления приборами, находящимися на борту, внутри самих приборов.

В частности, при создании системы преобразования и управления нового поколения для электрореактивной двигательной установки в АО «НППЦ «Полус» (г. Томск) разработана бортовая микропроцессорная подсистема обмена и управления, за счет интегрирования которой в указанную систему удалось не только улучшить ее массогабаритные показатели, но и расширить функциональные возможности.

Однако рост требований к космическим аппаратам в целом приводит к необходимости совершенствования и систем управления бортовой аппаратурой. Выполнение этих требований невозможно без применения современных интегральных схем со сверхбольшой степенью интеграции, изготовленных по нанометровым технологическим нормам. Как известно, такие схемы, выполненные по субмикронным технологиям, в отличие от микронных обладают более высокой чувствительностью к одиночным эффектам, вызванным воздействием тяжелых заряженных частиц космического пространства, что, в свою очередь, обуславливает необходимость принятия ряда специальных мер по обеспечению стойкости систем управления.

Рассмотрены способы повышения сбоеустойчивости микропроцессорных систем управления бортовой аппаратурой космических аппаратов. Показаны пути решения проблем, связанных с выбором электронных компонентов, схемотехнических и архитектурных решений для обеспечения стойкости к одиночным эффектам, вызванным тяжелыми заряженными частицами космического пространства. Предложена к реализации архитектура микропроцессорной системы управления с расширенными функциональными возможностями, высоким быстродействием и повышенной сбоеустойчивостью.

Ключевые слова: космический аппарат, бортовая микропроцессорная система, сверхбольшие интегральные схемы, тяжелые заряженные частицы, сбоеустойчивость, одиночные эффекты.

Vestnik SibGAU
Vol. 16, No. 1, P. 207–213

SATELLITE-BORNE MICROPROCESSOR CONTROL SYSTEM WITH IMPROVE UPSET TOLERANCE

D. V. Udalov

SC “Scientific&Industrial Centre “Polyus”
56v, Kirov Av., Tomsk, 634050, Russian Federation
E-mail: polus@online.tomsk.net

Modern innovative trends in the development of space equipment are associated with the use of microprocessor technology in onboard hardware. Therefore, control systems, direct control of the device based on internal algorithms are introduced as the parts of the equipment microprocessor. That allows you to go to a distributed control principle on board the spacecraft, which is based on the idea of the localization of the control functions on board, inside the devices themselves.

In particular, the establishment of a power processing unit of the new generation for electric propulsion system in SC “Scientific&Industrial Centre “Polyus” (Tomsk) developed satellite-borne microprocessor digital interface and control unit, by integrating in which said system is not only able to improve weight and overall dimensions but also to expand functionalities.

However, the growth requirements for space vehicles in general leads to the need to improve onboard microprocessor control system. These requirements are not possible without the use of modern integrated circuits with very large-scale integration level produced by nanometer technology standards. It is known that such schemes are made of submicron technology, unlike micron are more sensitive to single effects caused by exposure to heavy charged particles of space, which, in turn, necessitates the adoption of a number of special measures to ensure the stability of control systems.

This article discusses the ways to increase upset immunity microprocessor control systems onboard equipment spacecraft. The ways of solving the problems associated with the selection of electronic components, circuit design and architectural solutions for resistance to single effects caused by heavy charged particles of space are shown. We offer to implement the architecture of a microprocessor control system with advanced features, high performance and enhanced upset immunity.

Keywords: spacecraft, satellite-borne microprocessor control system, very large scale integrated circuits, heavy charged particles, upset tolerance, single event effects.

Введение. Современные тенденции развития космического приборостроения связаны с применением микропроцессорных технологий. В частности, при создании системы преобразования и управления (СПУ) нового поколения для электрореактивной двигательной установки [1] в АО «НПЦ «Полус» (г. Томск) разработана бортовая микропроцессорная подсистема обмена и управления (СОУ) [2], за счет интегрирования которой в СПУ удалось не только улучшить массогабаритные показатели, но и расширить функциональные возможности последней. Основными задачами СОУ являются сбор и первичная обработка телеметрических данных с датчиков, обмен информацией с бортовым вычислительным комплексом и управление электрореактивной двигательной установкой.

Актуальность работ. Рост требований к космическим аппаратам в целом приводит к необходимости совершенствования и систем управления бортовой аппаратурой.

Наиболее актуальными требованиями, предъявляемыми сейчас к интегрируемым микропроцессорным системам управления, являются внедрение современного интерфейса Space Wire, обновление программного обеспечения в процессе эксплуатации, в том числе на орбите, локальная обработка и накопление данных, работа в автоматическом режиме, обеспечение стойкости к тяжелым заряженным частицам, повышение надежности и улучшение массогабаритных характеристик. Выполнение их невозможно без применения современных интегральных схем со сверхбольшой степенью интеграции, изготовленных по нанометровым технологическим нормам. Как известно, такие схемы, выполненные по субмикронным технологиям, в отличие от микронных, обладают более высокой чувствительностью к одиночным эффектам, вызванным воздействием космического излучения [3]. Это, в свою очередь, обуславливает необходимость принятия ряда специальных мер по обеспечению стойкости систем управления к одиночным эффектам.

В настоящее время в АО «НПЦ «Полус» ведутся работы по созданию микропроцессорной системы управления СОУ-2М с повышенной сбоеустойчивостью, что позволит на базе только отечественных электрорадиоизделий производить функционально законченные, высокопроизводительные и стойкие к одиночным эффектам устройства.

Предложенная к реализации архитектура обладает расширенными функциональными возможностями и высоким быстродействием, разрабатывается на основе решений, использованных и опробованных в СОУ. Сравнение основных технических характеристик и примененных методов обеспечения сбоеустойчивости СОУ и СОУ-2М показывает преимущество последней.

Подсистема обмена и управления СОУ. СОУ построена по двухканальной схеме «ненагруженного резерва» и состоит из двух одинаковых модулей. Выбор активного из них осуществляется подачей на него напряжения питания. Каждый модуль СОУ (рис. 1) состоит из устройства управления и вычисления (УУВ), вторичного источника питания (ВИП), а также устройства коммутации и сопряжения (УКС).

Устройство управления и вычисления СОУ. УУВ (рис. 2) является ядром СОУ и управляет всей системой. Основные сверхбольшие интегральные схемы, входящие в состав УУВ, – система на кристалле (СнК), интерфейсный контроллер (ИК) и программируемые логические интегральные схемы (ПЛИС).

СнК состоит из процессора с архитектурой MIPS32, сопроцессора вещественной арифметики (FPU), контроллера памяти, интерфейсов UART и контроллера шины PCI. Контроллер памяти имеет встроенный контроллер корректирующих кодов (SEC/DED), позволяющий исправлять одиночные и обнаруживать двойные ошибки, вызванные одиночными событиями [4–6].

ИК обеспечивает подключение специализированных устройств к шине PCI. В состав ИК входят два резервированных контроллера мультиплексного канала обмена (МКО) [7] и резервированный контроллер памяти, посредством которого реализовано взаимодействие с ПЛИС [8].

На базе ПЛИС выполнен контроллер резервированного последовательного синхронного интерфейса (SPI) для организации канала связи между УУВ и УКС. Данные, передаваемые по интерфейсу SPI, защищены битом четности.

Вторичный источник питания СОУ. ВИП (рис. 2) обеспечивает гальваническую развязку и формирование вторичных напряжений питания УУВ и УКС по входной бортовой шине «27 В».

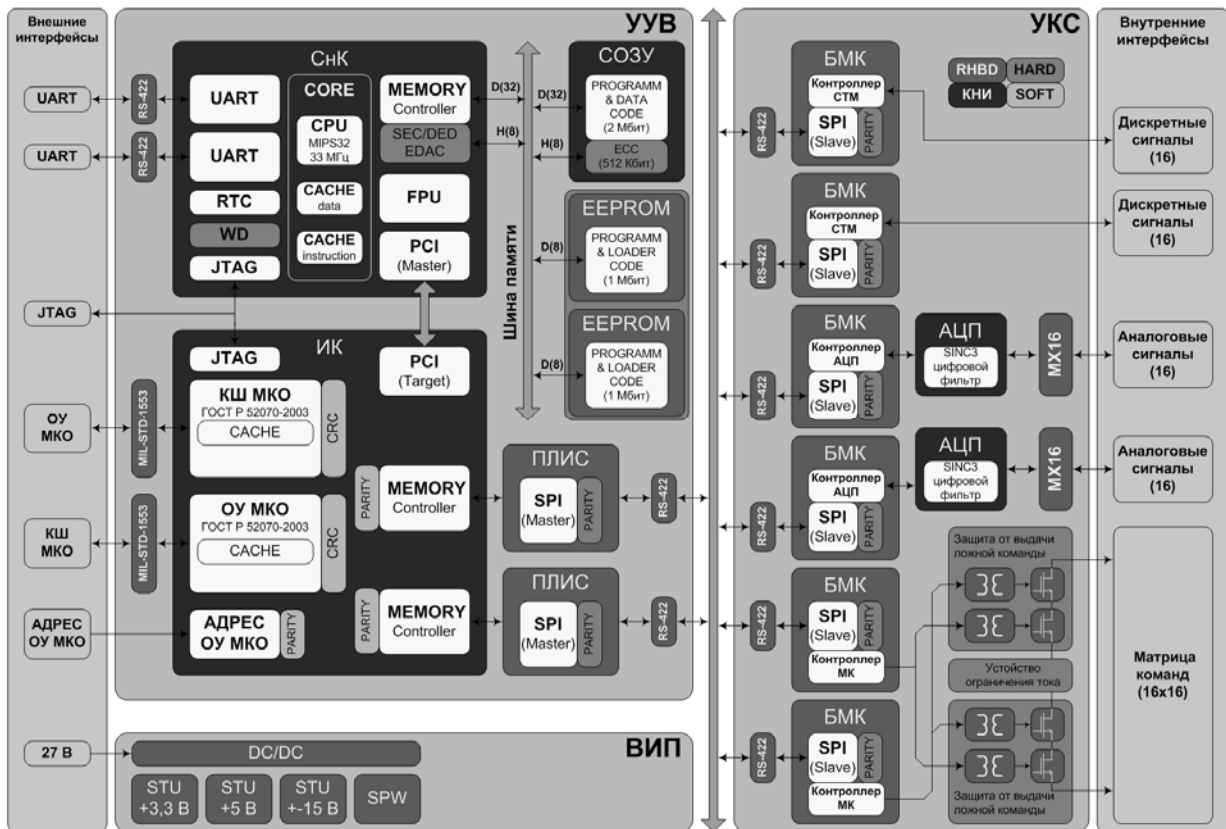


Рис. 1. Структурно-функциональная схема СОУ

Устройство коммутации и сопряжения СОУ. УКС (рис. 3) является устройством сопряжения УУВ с датчиками и объектами управления СПУ. Основные функции, выполняемые УКС, – сбор и обработка информации с аналоговых и сигнальных датчиков, а также формирование матричных команд управления силовыми устройствами СПУ.

Для выполнения указанных функций в УКС введены соответствующие контроллеры, реализованные на базовых матричных кристаллах (БМК) и подключенные к сетевому интерфейсу SPI.

Контроллер аналоговой телеметрии (АТМ) состоит из двух независимых каналов измерения, работающих синхронно. Результаты синхронных измерений можно использовать для вычисления мгновенной мощности. Каждый канал представляет собой мультиплексированную систему сбора информации, которая состоит из мультиплексора 16×1, 24-разрядного $\Sigma\Delta$ -АЦП, аппаратного цифрового фильтра и устройства системной калибровки. Каждый канал обрабатывает 16 аналоговых сигналов.

Контроллер сигнальной телеметрии (СТМ) осуществляет сбор сигнальной телеметрии и также имеет два независимых канала измерения дискретных сигналов, работающих синхронно. Каждый канал снимает показания с 16 сигнальных датчиков и осуществляет программную цифровую фильтрацию собранных данных. Каждый из датчиков может быть типа «незапитанный контакт» или «открытый коллектор».

Контроллер матричных команд (МК) формирует сигналы управления матрицей команд 16×16 (256 матричных команд), которая подключена к бортовой шине питания «27 В». Ток коммутации каждого ключа матрицы составляет 2 А.

На программно-аппаратном уровне СОУ обеспечивает невыдачу ложной команды в случае отказа или одиночного сбоя как в силовом ключе, так и в цепях управления. Каждый ключ матрицы команд резервирован от короткого замыкания. Длительность матричных команд задается программно и может варьироваться от 50 до 250 мс. Сторожевой таймер контроллера МК аппаратно ограничивает длительность матричной команды на уровне 250 мс в случае сбоя или неисправности. Трансформаторы обеспечивают гальваническую развязку цепей управления от силовых цепей и объектов управления.

Субсистема обмена и управления СОУ-2М. СОУ-2М (рис. 4) унаследовала свой структурный состав от СОУ. Она также построена по двухканальной схеме «ненагруженного резерва» и состоит из двух одинаковых модулей. Выбор активного из них осуществляется подачей на него напряжения питания. Каждый модуль СОУ-2М состоит из устройства управления и вычисления, вторичного источника питания и устройства коммутации и сопряжения.

Устройство управления и вычисления СОУ-2М. УУВ СОУ-2М построено на базе модифицированной СнК, в которой был реализован целый ряд мер по парированию одиночных сбоев. Так, используется троированное микропроцессорное ядро с архитектурой MIPS32 и тактовой частотой 66 МГц, контроллер памяти с контроллером корректирующих кодов (SEC/DED) [9], кэш-инструкций и данных, реализованный на DICE-ячейках (Dual Inter-locked Storage Cell) с контролем четности, все регистры процессора также реализованы на DICE-ячейках [10; 11].

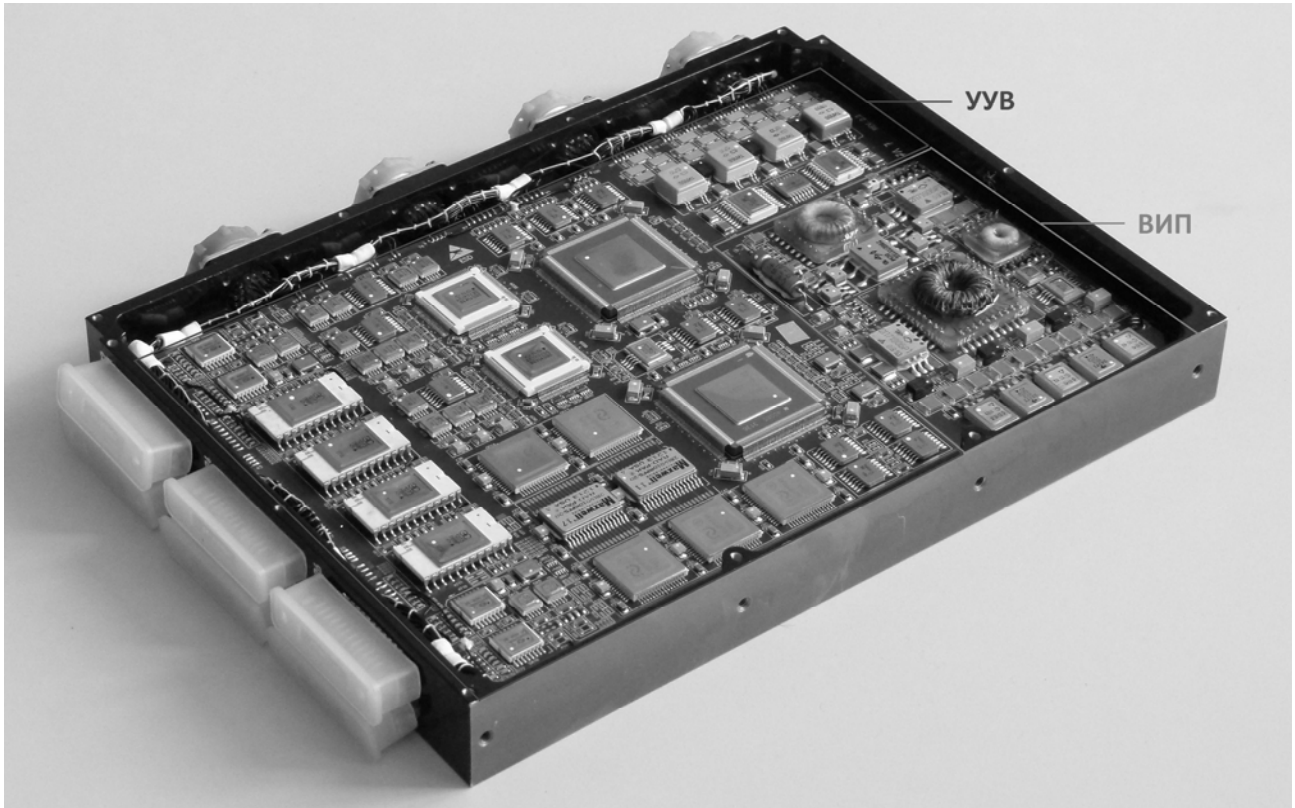


Рис. 2. Внешний вид УУВ и ВИП

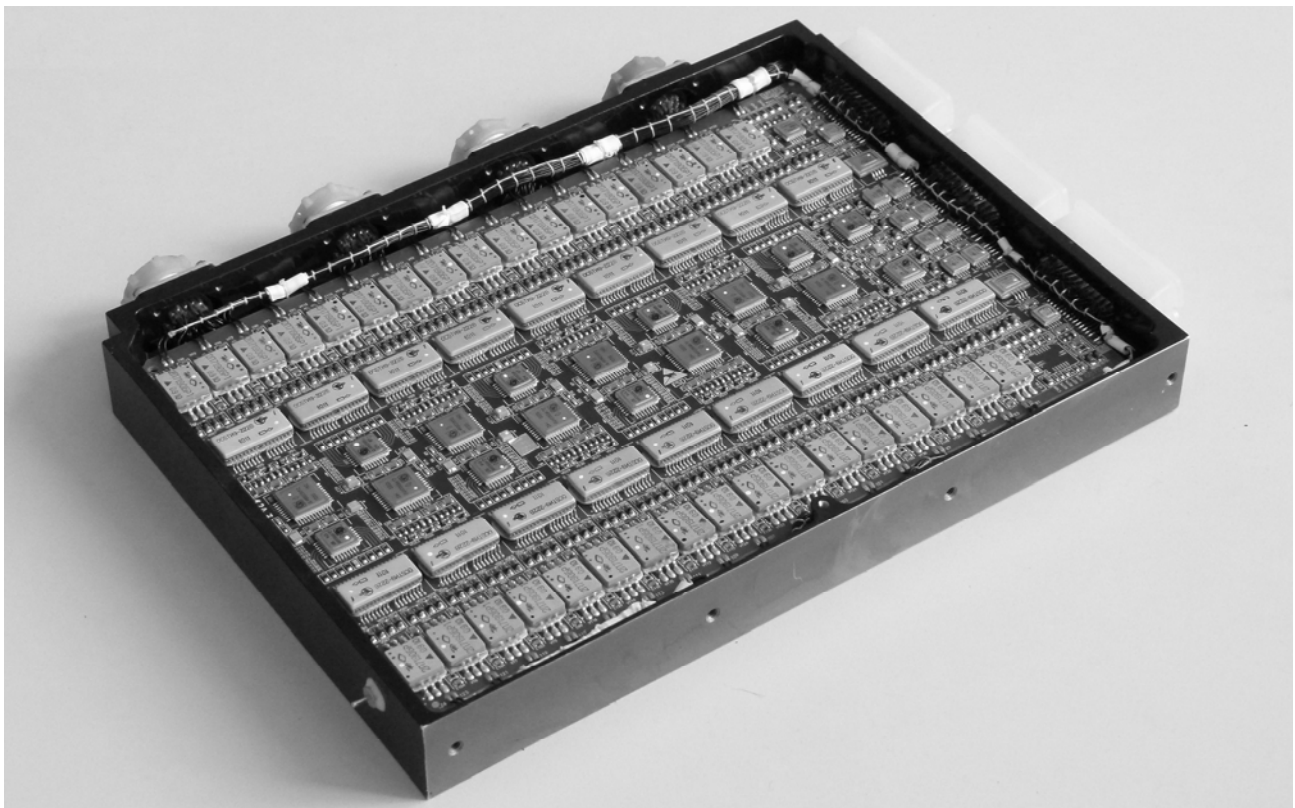


Рис. 3. Внешний вид УКС

В состав СнК также входят два резервированных контроллера МКО, соответствующие ГОСТ Р 52070–2003 [7], два контроллера Space Wire, соответствующие стандарту ECSS-E-ST-50-12C [12], два контроллера UART, контроллер интерфейса SPI [13; 14] и сопроцессор вещественной арифметики FPU.

Для обеспечения толерантности к тиристорному эффекту кристалл СнК выполнен по технологии «кремний на изоляторе» (КНИ) с проектными нормами 240 нм [15].

В состав УУВ СОУ-2М входит статическое запоминающее устройство (СОЗУ) с объемом 4 Мбита для данных и 1 Мбит для корректирующих кодов [9; 16]. СОЗУ также выполнено по технологии КНИ с проектными нормами 240 нм.

В качестве загрузочного используется однократно программируемое постоянное запоминающее устройство (ПЗУ) с ячейками antifuse. Объем его составляет 1 Мбит для данных и 1 Мбит для корректирующих кодов. Загрузочное ПЗУ выполнено по технологии КНИ с проектными нормами 180 нм.

В состав УУВ СОУ-2М входит энергонезависимое постоянное запоминающее устройство (ЭПЗУ) типа F-RAM, разбитое на два независимых банка, каждый из которых имеет объем 4 Мбита для данных и 1 Мбит для корректирующих кодов. В ЭПЗУ записано системное программное обеспечение, которое можно обновить по каналу МКО или Space Wire в процессе эксплуатации на орбите.

Вторичный источник питания СОУ-2М. ВИП СОУ-2М обеспечивает гальваническую развязку и формирование вторичных напряжений питания УУВ и УКС по входной бортовой шине «27 В».

Устройство коммутации и сопряжения СОУ-2М. В УКС СОУ-2М для повышения сбоеустойчивости были модифицированы интерфейс связи с УУВ и контроллеры устройств сопряжения. Для реализации их функций вместо БМК используется сбоеустойчивая ПЛИС с логической емкостью 50 тыс. вентиляей. Данная ПЛИС выполнена на объемном кремнии с проектными нормами 180 нм. Для обеспечения стойкости к одиночным событиям все триггеры и элементы памяти в ПЛИС реализованы на DICE-ячейках. Кроме того, в рабочем режиме ПЛИС проводит верификацию конфигурационной памяти и в случае ошибки автоматически выполняет реконфигурацию.

В качестве конфигурационного ПЗУ используется однократно программируемое ПЗУ с ячейками antifuse. Объем конфигурационного ПЗУ составляет 1 Мбит.

Для обеспечения стойкости к одиночным событиям все функциональные узлы, выполненные на ПЛИС, резервированы.

Используемые методы обеспечения сбоеустойчивости и основные технические характеристики СОУ и СОУ-2М приведены в таблице.

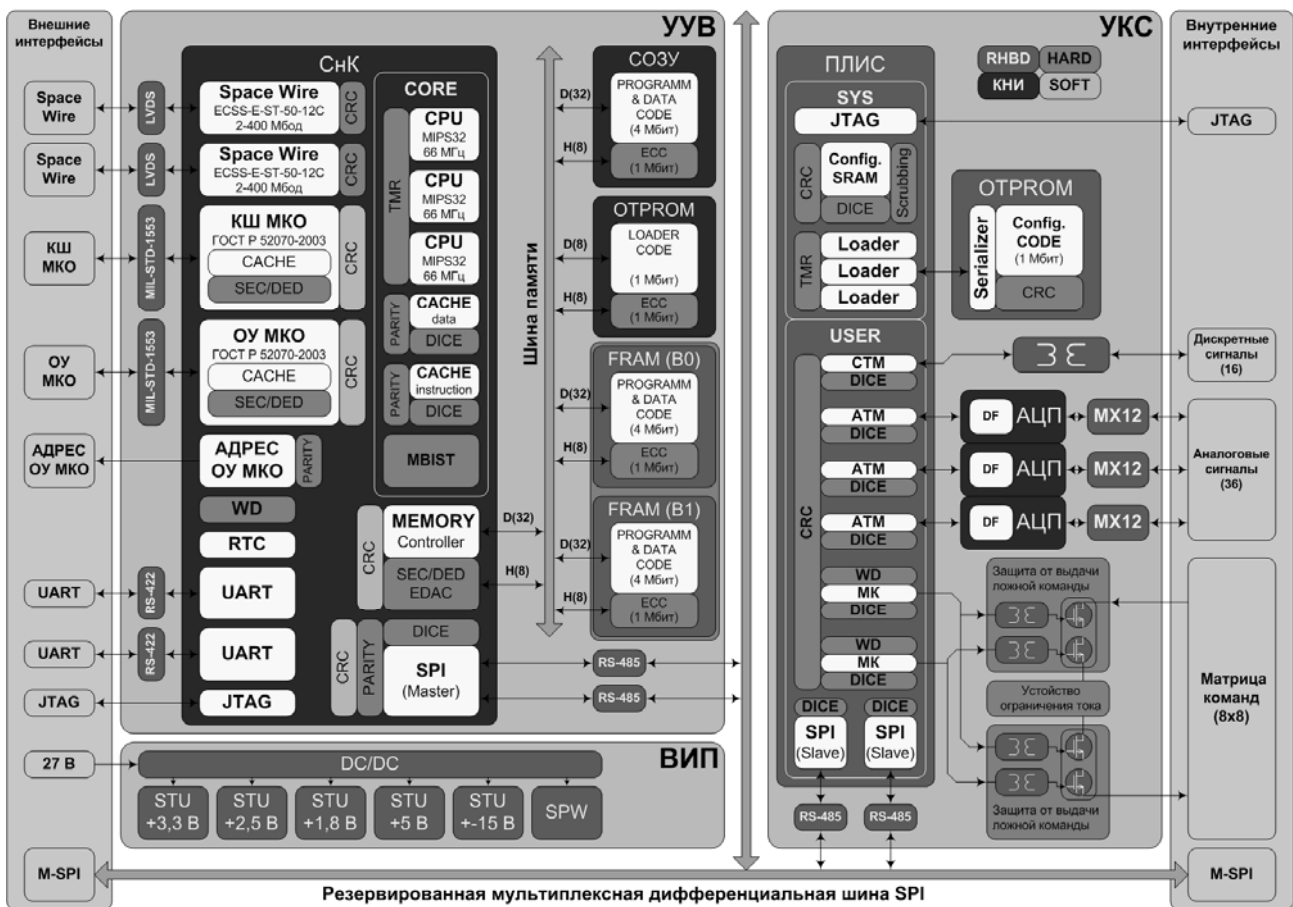


Рис. 4. Структурно-функциональная схема СОУ-2М

**Сравнение основных характеристик и применяемых методов
повышения сбоеустойчивости СОУ и СОУ-2М**

Параметр	СОУ	СОУ-2М
Общие		
Год разработки	2012	2014
Габариты и масса (один канал)	270×195×30 мм, 1,2 кг	265×195×20 мм, 0,9 кг
Питание	23–31 В (6 Вт)	23–31 В (6 Вт)
ЭРИ иностранного производства	28LV010RPF5-20	Отсутствуют
Процессор		
Реализация	5890BE1T	«Обработка-10»
Архитектура	КОМДИВ (MIPS32)	КОМДИВ (MIPS32)
Производительность	22 MIPS	53 MIPS
Методы снижения сбоев	КНИ	КНИ, TMR, PARITY, DICE
Системное ОЗУ		
Тип	SRAM	SRAM
Объем	2 Мбит (64К×32+ECC)	4 Мбит (128К×32+ECC)
Методы снижения сбоев	КНИ, SEC/DED	КНИ, SEC/DED
Загрузочное ПЗУ		
Тип	EEPROM	ANTIFUSE
Объем	2×256 Кбит (2×32К×8)	1 Мбит (128К×8+ECC)
Перезапись при эксплуатации	Да	Нет
Методы снижения сбоев	DOUBLE, CRC	КНИ, SEC/DED, CRC
Системное ПЗУ		
Тип	EEPROM	FRAM
Объем	1536 Кбит (192К×8)	2×4 Мбит (2×128К×32+ECC)
Перезапись при эксплуатации	Да	Да
Методы снижения сбоев	CRC	DOUBLE, SEC/DED, CRC
Внешние интерфейсы		
Реализация	5890BG1T	«Обработка-10»
МКО (ГОСТ Р 52070–2003)	2 (ОУ, КШ, МШ)	1 (ОУ), 1 (КШ, МШ)
Space Wire (ECSS-E-ST-50-12C)	Нет	2 (2–400 Мбод)
Методы снижения сбоев	КНИ, CRC	КНИ, SEC/DED, CRC
Отладочные интерфейсы		
UART (RS-422)	2 (115 Кбод)	2 (115 Кбод)
JTAG (IEEE 1149.1)	2 (СНК и ПЛИС)	2 (СНК и ПЛИС)
Межблочный интерфейс		
Реализация	2×5576XC2T (ПЛИС)	«Алмаз-2» (ПЛИС)
Протокольный уровень	Дублированный SPI	Резервированный SPI
Физический уровень	2×4×RS-422 (1 Мбод)	2×4×RS-485 (10 Мбод)
Методы снижения сбоев	DOUBLE, PARITY	REDUNDANCY, TMR, DICE, CRC
Аналоговый интерфейс		
Аналоговые входы	4×8 (13 бит)	3×12 (16 бит)
Цифровая фильтрация	4×SINC3	3×SINC3
Методы снижения сбоев	КНИ	КНИ, DICE, CRC
Сигнальный интерфейс		
Сигнальные входы	2×16 («НК», «ОК»)	2×8 («НК», «ОК»)
Гальваническая развязка	Нет	Да (250 В)
Методы снижения сбоев	PARITY	DICE, CRC
Матричные команды		
Матричные выходы	16×16 (2 А, 27В)	8×8 (2 А, 27 В)
Ограничение тока	Да (2 А)	Да (2 А)
Гальваническая развязка	Да (250 В)	Да (250 В)
Методы снижения сбоев	REDUNDANCY, PARITY, WD	REDUNDANCY, DICE, WD, CRC

Заключение. Использование оригинальных архитектурных решений, методов парирования сбоев, а также перспективных ЭРИ отечественного производства позволило разработать микропроцессорную систему управления с повышенной устойчивостью к внешним воздействующим факторам космического пространства.

Библиографические ссылки

1. Ермошкин Ю. М. Основы теории и расчета электрореактивных двигательных установок : учеб. пособ. / Сиб. гос. аэрокосмич. ун-т. Красноярск. 2003. 159 с.

2. Удалов Д. В., Пухтий С. Б., Седнев Ю. С. Бортовая микропроцессорная подсистема управления для электрореактивной двигательной установки // Электронные и электромеханические системы и устройства : сб. науч. тр. / ОАО «НПЦ «Полюс». Томск, 2011. С. 139–147.

3. Santarini M. Cosmic radiation comes to ASIC and SOC design. EDN. 5/12/2005 [Электронный ресурс]. URL: <http://edn.com/article/CA529381.html> (дата обращения: 20.12.2013).

4. Филипчук Е. В., Пахомов С. И. Теория информации и помехоустойчивое кодирование. М. : МИФИ, 1989. 118 с.

5. Hsiao M. Y. A Class of Optimal Minimum Odd-Weight-Column SEC-DED Codes // IBM J. Res. Develop. 1970. Т. 14. P. 395–401.

6. Хемминг Р. В. Численные методы. М. : Наука, 1972. 400 с.

7. ГОСТ Р 52070–2003. Интерфейс магистральный последовательный системы электронных модулей. М. : Госстандарт России, 2003.

8. ПЛИС для космических применений. Архитектурные и схемотехнические особенности / В. Телец [и др.] // Электроника: наука, технология, бизнес. 2005. № 6. С. 44–48.

9. Краснюк А. А., Петров К. А. Особенности применения помехоустойчивого кодирования в СУБ-100 на микросхемах памяти для космических систем // Микроэлектроника. 2012. Т. 41, № 6. С. 450–456.

10. Юдинцев В. Радиационно стойкие интегральные схемы. Надежность в космосе и на земле // Электроника: наука, технология, бизнес. 2007. № 5. С. 72–77.

11. Mayer D. C., Laco R. C. Designing Integrated Circuits to Withstand Space Radiation [Электронный ресурс] Vol. 4, № 2. URL: <http://aero.org/publications/crosslink/summer2003/06.html> (дата обращения: 20.05.2014).

12. ECSS-E-50-12C. SpaceWire – Links, nodes, routers and networks. European Cooperation for Space Standardization (ECSS), 2008.

13. SPI Block Guide V03.06, FreeScale Semiconductor [Электронный ресурс]. URL: http://freescale.com/files/microcontrollers/doc/ref_manual/S12SPIV3.pdf (дата обращения: 20.05.2014).

14. MICROWIRE™ Serial Interface. National Semiconductor Application Note 452, Abdul Aleaf, Jan. 1992 [Электронный ресурс]. URL: <http://national.com/an/AN/AN-452.pdf> (дата обращения: 20.05.2014).

15. Romanko Th., Clegg B. SOI eases radiation-hardened ASIC design [Электронный ресурс]. URL: <http://eetimes.com/showArticle.jhtml?articleID=165700727> (дата обращения: 20.05.2014).

16. Calin T., Nicolaidis M., Velazco R. Upset hardened memory design for submicron CMOS technology // IEEE Transactions on Nuclear Science. 1996. Vol. 43(6). P. 2874–2878.

Reference

1. Ermoshkin U. M. *Osnovy teorii i rascheta elektрореактивных dvigatelnykh ustanovok* [Fundamentals

of the theory and calculation of electric propulsion systems]. Krasnoyarsk, SibGAU Publ., 2003, 159 p.

2. Udalov D. V., Puxtiy S. B., Sednev U. S. [The onboard microprocessor subsystem management for electric propulsion system]. *Elektronnyye i elektromekhanicheskie sistemy i ustroystva. Sb. nauch. tr.* [Electronic and electromechanical systems and device. Collection of scientific papers]. JSC “SIC “Polyus”. Tomsk, 2011, p. 139–147 (In Russ.).

3. Santarini M. Cosmic radiation comes to ASIC and SOC design. EDN. 5/12/2005. Available at: <http://edn.com/article/CA529381.html> (accessed 20.12.2013).

4. Filipchuk E. V., Paxomov S. I. *Teoriya informatsii i pomekhoustoychivoe kodirovanie*. [Information Theory and noiseless coding]. Moscow, MIFI Publ., 1989, 118 p.

5. Hsiao M. Y. A Class of Optimal Minimum Odd-Weight-Column SEC-DED Codes. *IBM J. Res. Develop.* 1970, vol. 14, p. 395–401.

6. Хемминг Р. В. *Chislennyye metody*. [Numerical methods]. Moscow, Nauka Publ., 1972, 400 p.

7. *GOST R 52070-2003. Interfeys magistral'noy posledovatel'noy sistemy elektronnykh moduley*. [State Standard R 52070-2003. Serial interface trunk system of electronic modules]. Moscow, Standardinform Publ., 2003 (In Russ.).

8. Telec V., Cybin S., Bystrickiy A., Podyapolskiy S. [FPGAs for space applications. Architectural and circuit features]. *Elektronika: nauka, tekhnologiya, biznes*. 2005, no. 6, p. 44–48 (In Russ.).

9. Krasnyk A. A., Petrov K. A. [Features of the application error-correcting coding in the sub-100 nm memory chips for space systems]. *Mikroelektronika*. 2012, vol. 41, no. 6, p. 450–456 (In Russ.).

10. Yudintsev V. [Radiation-resistant integrated circuit. Reliability in space and on the ground]. *Elektronika: Nauka, tekhnologiya, biznes*. 2007, no. 5, p. 72–77 (In Russ.).

11. Donald C. Mayer, Ronald C. Laco. Designing Integrated Circuits to Withstand Space Radiation. Vol. 4, no. 2. Available at <http://aero.org/publications/crosslink/summer2003/06.html> (accessed 20.05.2014).

12. ECSS-E-50-12C. SpaceWire – Links, nodes, routers and networks. European Cooperation for Space Standardization (ECSS), 2008.

13. SPI Block Guide V03.06, FreeScale Semiconductor. Available at: http://freescale.com/files/microcontrollers/doc/ref_manual/S12SPIV3.pdf (accessed 20.05.2014).

14. MICROWIRE™ Serial Interface. National Semiconductor Application Note 452, Abdul Aleaf, Jan. 1992. Available at: <http://national.com/an/AN/AN-452.pdf> (accessed 20.05.2014).

15. Romanko Th., Clegg B. SOI eases radiation-hardened ASIC design. Available at: <http://eetimes.com/showArticle.jhtml?articleID=165700727> (accessed 20.05.2014).

16. Calin T., Nicolaidis M., Velazco R. Upset hardened memory design for submicron CMOS technology. *IEEE Transactions on Nuclear Science*. 1996. Vol. 43(6), p. 2874–2878.