

**МАЖОРИТИРОВАНИЕ НА ОСНОВЕ ТРИСТАБИЛЬНЫХ БУФЕРОВ  
ДЛЯ АЭРОКОСМИЧЕСКИХ ВЫЧИСЛИТЕЛЬНЫХ КОМПЛЕКСОВ**

С. Ф. Тюрин

Пермский национальный исследовательский политехнический университет  
Российская Федерация, 614990, г. Пермь, просп. Комсомольский, 29  
E-mail: tyurinsergfe@yandex.ru

*Для аэрокосмических вычислительных комплексов крайне актуальна разработка радиационно стойкой элементной базы. В FPGA Virtex фирмы Xilinx используются мажоритарные элементы на основе буферов с тремя состояниями с целью реализации тройного резервирования (Triple Module Redundancy, TMR) для обеспечения радиационной стойкости. Моделируются мажоритарные элементы (элементы голосования по большинству) на основе буферов с тремя состояниями на выходе. Предложен вариант реализации, соответствующий описанию, приведённому в документации производителя, без детального раскрытия схемного решения.*

*Ключевые слова:* ПЛИС FPGA, мажоритирование, мажоритар, тристабильный буфер.

Sibirskii Gosudarstvennyi Aerokosmicheskii Universitet  
imeni Akademika M. F. Reshetneva. Vestnik  
Vol. 18, No. 1, P. 168–175**MODELING FAULT TOLERANT ELEMENT FOR AEROSPACE COMPUTER COMPLEXES**

S. F. Tyurin

Perm National Research Polytechnic University  
29, Komsomol'skiy Av., Perm, 614990, Russian Federation  
E-mail: tyurinsergfe@yandex.ru

*For aerospace computer systems it is extremely urgent to develop radiation-resistant components. The methods of ensuring the radiation resistance by creating a special architecture – RHBD (Radiation Hardened by Design) include structural triple redundancy (Triple Modular Redundancy, TMR) or majority voting. Triple Module Redundancy Design Techniques with the majority element of the three-state buffers used when creating projects for the programmable logic Xilinx FPGAs Virtex type to reduce radiation-induced switching of logic elements and memory elements. In this electronic circuit parts used in the majority of schemes mentioned sources and documentation of manufacturers were not disclosed. In this regard, the analysis and modeling of such schemes in order to clarify their feature are of great interest. The buffer circuit requires wired “AND” using Pullup resistor. Running simulations of majority vote circuit based on the tri-state buffer output in system circuit simulation National Instruments Electronics Workbench Group. However, simulations show that the majority circuit given on the description is not workable. Nevertheless, in the in the datasheet states that in Virtex FPGA is used so-called Virtex Horizontal Bus Logic. Implemented majority function, converted on the basis of the distribution law of the Boolean algebra of logic. The paper proposes a scheme based on a two-stage connection buffers, which corresponds to the logic described in the datasheet. This scheme is consistent with one of the circuit in which two buffers are used at the output of each LUT. A variant of implementation, the appropriate description given in the manufacturer's documentation, without disclosing detailed circuit design is offered. In the future, it is advisable to consider redundancy within their buffers.*

*Keywords:* FPGA, Triple Module Redundancy, Majority Vote Circuit, 3-State Buffer.

**Введение.** Надёжность применения [1; 2] цифровой аппаратуры для аэрокосмических вычислительных комплексов определяется в том числе и её радиационной стойкостью [3–5]. Радиационная стойкость – это свойство аппаратуры, комплектующих элементов и материалов выполнять свои функции и сохранять параметры в пределах установленных норм во время или после ионизирующего излучения [1]. Лидером создания радиационно стойких микросхем за рубежом

является компания Atmel [4; 5]. Для обеспечения радиационной стойкости применяют дорогостоящие технологии, например, кремний на диэлектрике. Используют отключение питания на период воздействия тяжёлых заряженных частиц, помехоустойчивое кодирование, сохранение нескольких состояний шины данных с некоторым интервалом для последующего голосования по большинству голосов, например, «два из трёх», «три из пяти». Методы обеспечения радиационной

стойкости путём создания специальной архитектуры – RHBD (Radiation Hardened By Design) включают тройное структурное резервирование (Triple Modular Redundancy, TMR) или мажоритарное (голосование по большинству). Мажоритарное резервирование также используется в программируемых логических интегральных схемах (ПЛИС) – FPGA [6] (Field-Programmable Gate Array) серии Virtex™ фирмы Xilinx [7–9]. При этом схемотехнические детали применяемых мажоритарных схем в указанных источниках и документации фирм-производителей не раскрываются. В связи с этим вызывает интерес анализ и моделирование таких схем с целью выяснения их особенностей.

**Тристабильные буферы.** Вычисление мажоритарной функции по выходам трёх каналов с отдель-

ным питанием А, В, С в ПЛИС типа FPGA может выполняться в так называемых LUT (Look Up Table), которые представляют собой ПЗУ на основе мультиплексора, входы данных которого и фиксируют заданную логическую функцию [5]. В архитектуре Virtex™ фирмы Xilinx [6] описано использование для этих целей внутренних тристабильных буферов (3-State Buffers, BUFT). Рассмотрим модель тристабильного буфера в системе схемотехнического моделирования National Instruments Electronics Workbench Group [9] (рис. 1, 2).

Таким образом, на рис. 2 показана реализация третьего состояния (высокоимпедансного состояния) на выходе буфера. Согласно [7–9] мажоритарное реализуется по схеме на основе тристабильных буферов (рис. 3).

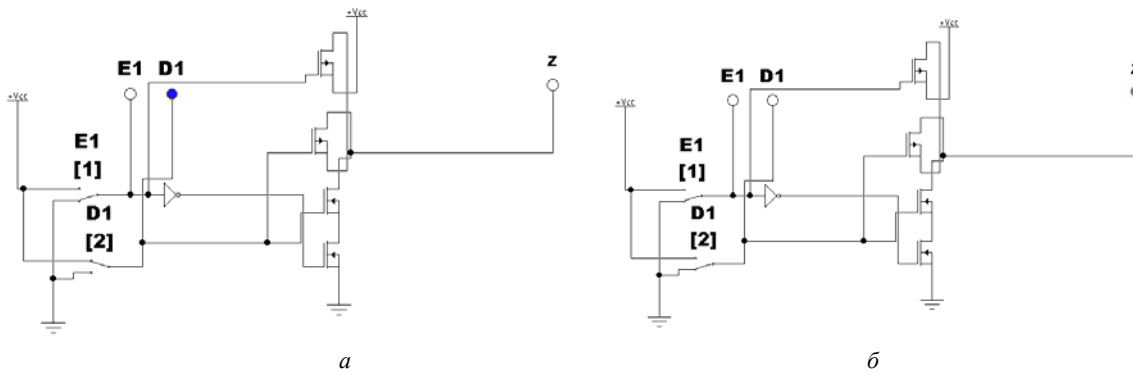


Рис. 1. Тристабильный буфер на основе инвертора. Разрешение E1 = 0 (активно):  
а – передача D1 = 1; б – передача D1 = 0

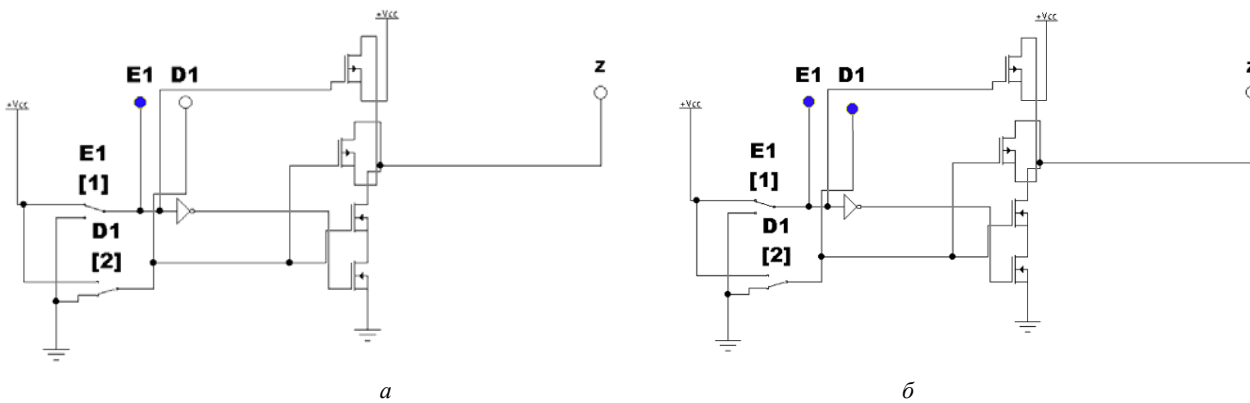


Рис. 2. Тристабильный буфер на основе инвертора. Разрешение E1 = 1 (неактивно):  
а – попытка передачи D1 = 1; б – попытка передачи D1 = 0

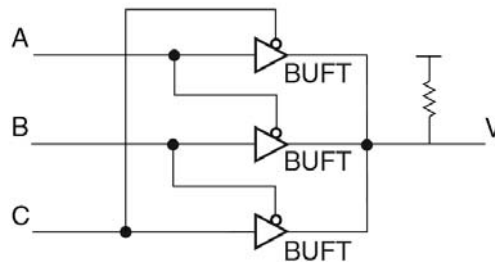
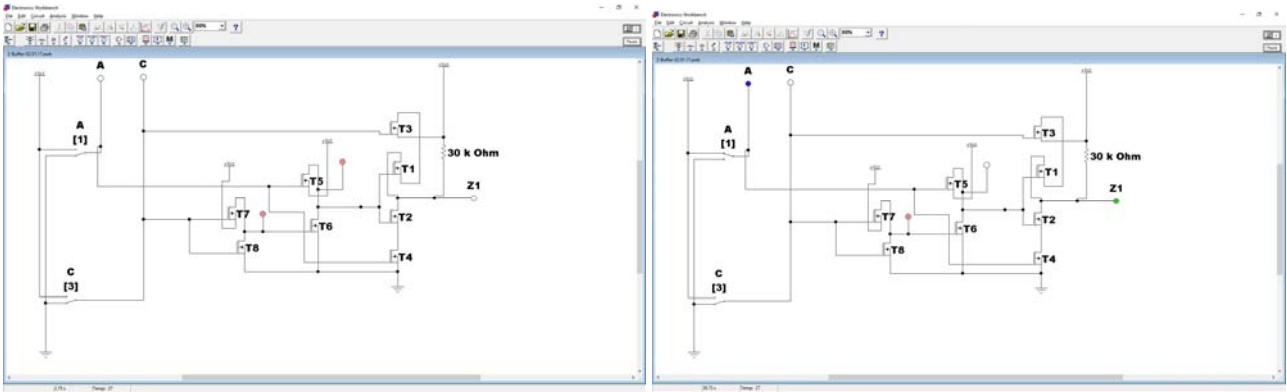
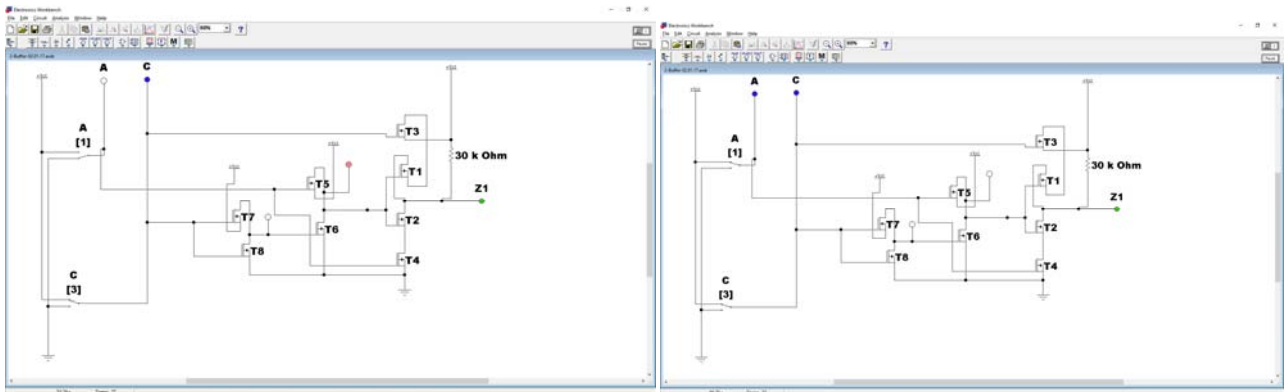


Рис. 3. Мажоритарное устройство (Majority Vote Circuit) на основе тристабильных буферов



а

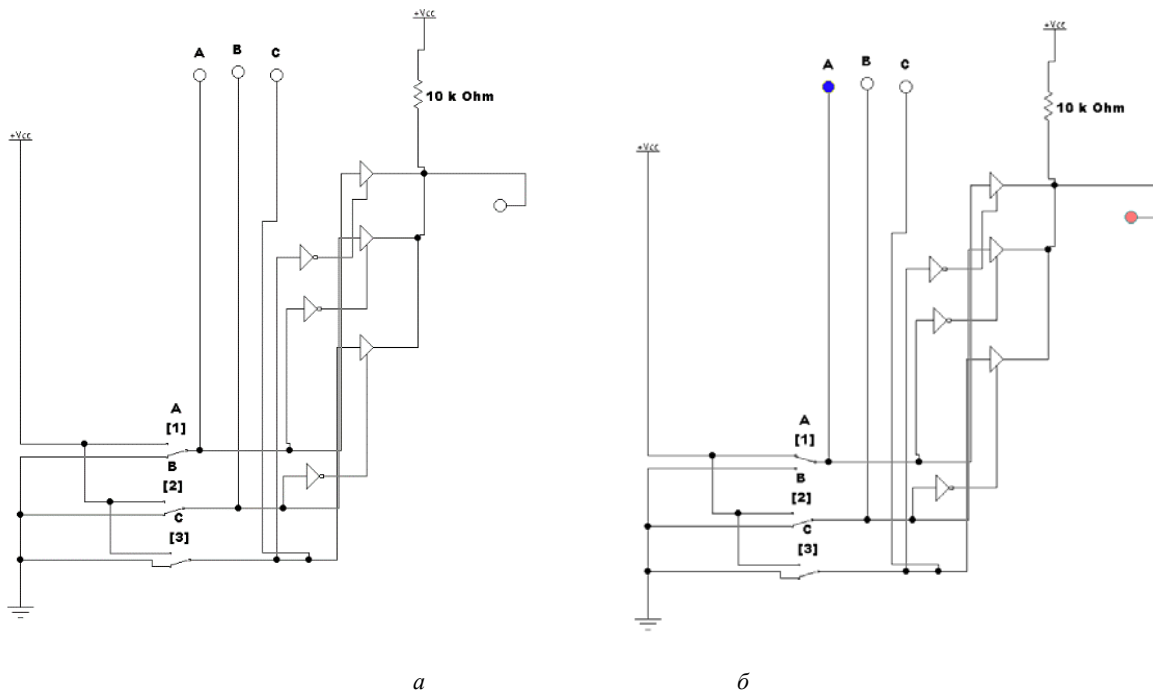
б



в

г

Рис. 4. Реализация буфера без инверсии данных с резистором Pullup на выходе:  
 а – выход в состоянии высокого импеданса, попытка передачи 0; б – выход в состоянии высокого импеданса, попытка передачи 1; в – имеется разрешающий сигнал, передача 1; г – имеется разрешающий сигнал, передача 0



а

б

Рис. 5. Мажоритарный элемент на основе тристабильных буферов:  
 а – на наборе 000 на выходе 0; б – на наборе 100 на выходе 1

Схема рис. 3 предполагает монтажное «И» с использованием нагрузочного резистора (типа Pullup). Модель мажоритарного устройства на основе тристабильных буферов с использованием нагрузочного резистора 30 кОм в системе схемотехнического моделирования National Instruments Electronics Workbench Group [10] представлена на рис. 4.

Таким образом, буфер функционирует: при наличии разрешения информация передаётся; передача данных осуществляется через два последовательно включенных инвертора на транзисторах Т5, Т6, Т7, Т8 соответственно. Транзисторы Т3, Т4 осуществляют формирование третьего состояния на выходе z1 при отсутствии разрешения = 0. При отсутствии разрешения на выходе возникает третье состояние, но за счёт резистора формируется сигнал 1.

**Мажоритирование на основе тристабильных буферов.** Модель мажоритарного устройства на основе

тристабильных буферов, рассматриваемых как библиотечные элементы, в системе схемотехнического моделирования National Instruments Electronics Workbench Group [10] представлена на рис. 5.

Таким образом, мажоритарная функция на выходе схемы рис. 5 не реализуется. Тем не менее, в [6] указано, что в ПЛИС Virtex используется так называемая логика горизонтальной шины (Virtex Horizontal Bus Logic) (рис. 6).

Таким образом, реализуется мажоритарная функция в виде  $AB + AC + BC = (A+B)(A+C)(B+C)$ . То есть выполнено преобразование с использованием дистрибутивного закона. Однако аппаратная реализация схемы (рис. 6, б) скрыта от пользователя. Предлагаемая реализация мажоритарного устройства со второй ступенью буферов в системе схемотехнического моделирования National Instruments Electronics Workbench Group [10] изображена на рис. 7, 8.

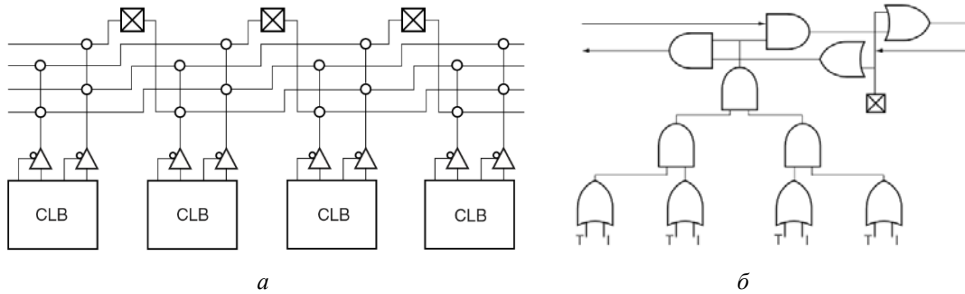


Рис. 6. Логика горизонтальной шины:

*a* – схема подключения буферов на выходе конфигурируемых логических блоков к горизонтальной шине; *б* – эквивалентная схема мажоритарного устройства; Т – сигнал управления третьим состоянием; I – информационный сигнал

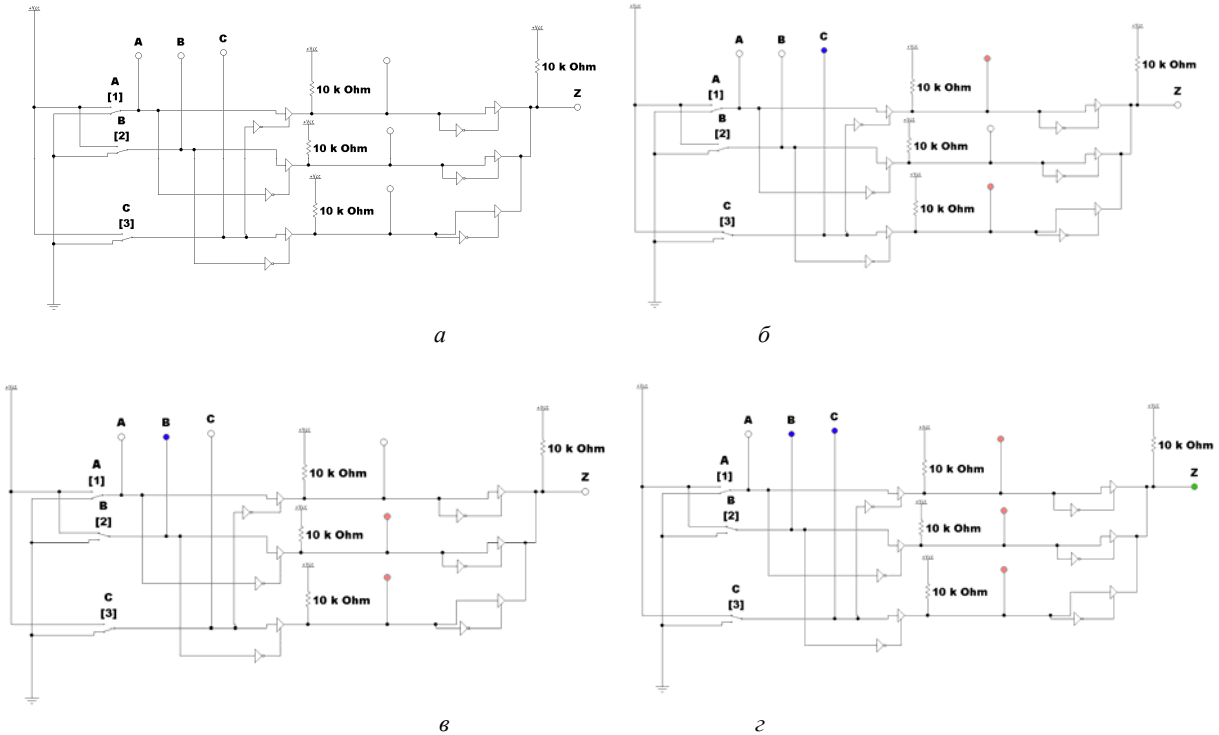


Рис. 7. Мажоритирование на основе тристабильных буферов без использования LUT. Моделирование на наборах:  
*a* – 000; *б* – 001; *в* – 010; *г* – 011

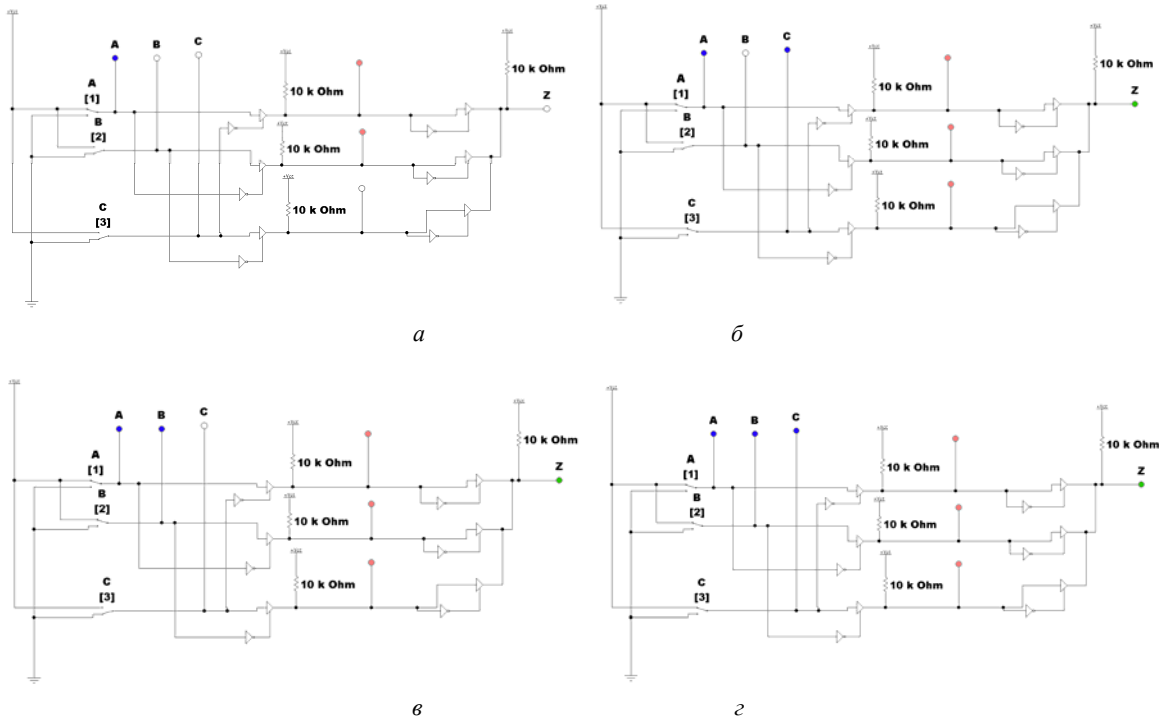
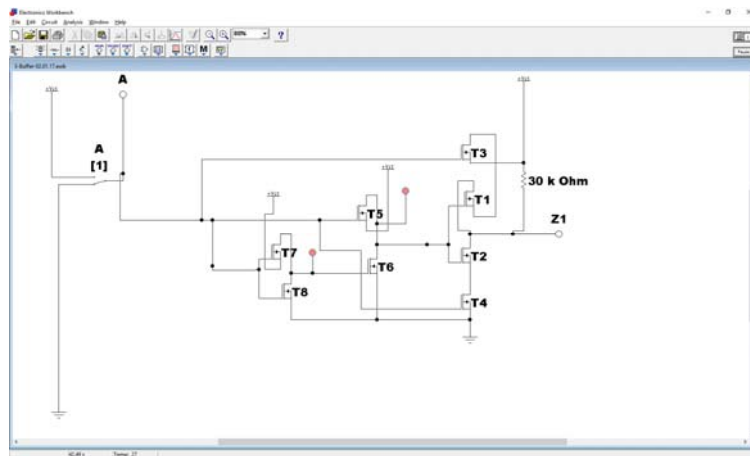
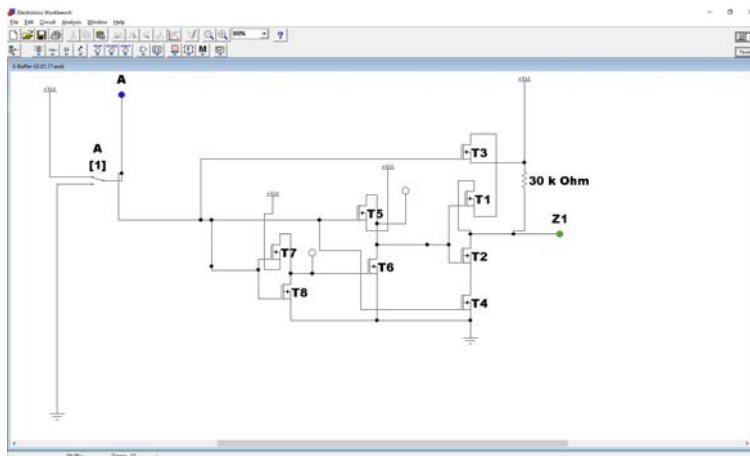


Рис. 8. Мажоритирование на основе тристабильных буферов без использования LUT.  
 Моделирование на наборах: а – 100; б – 101; в – 110; г – 111

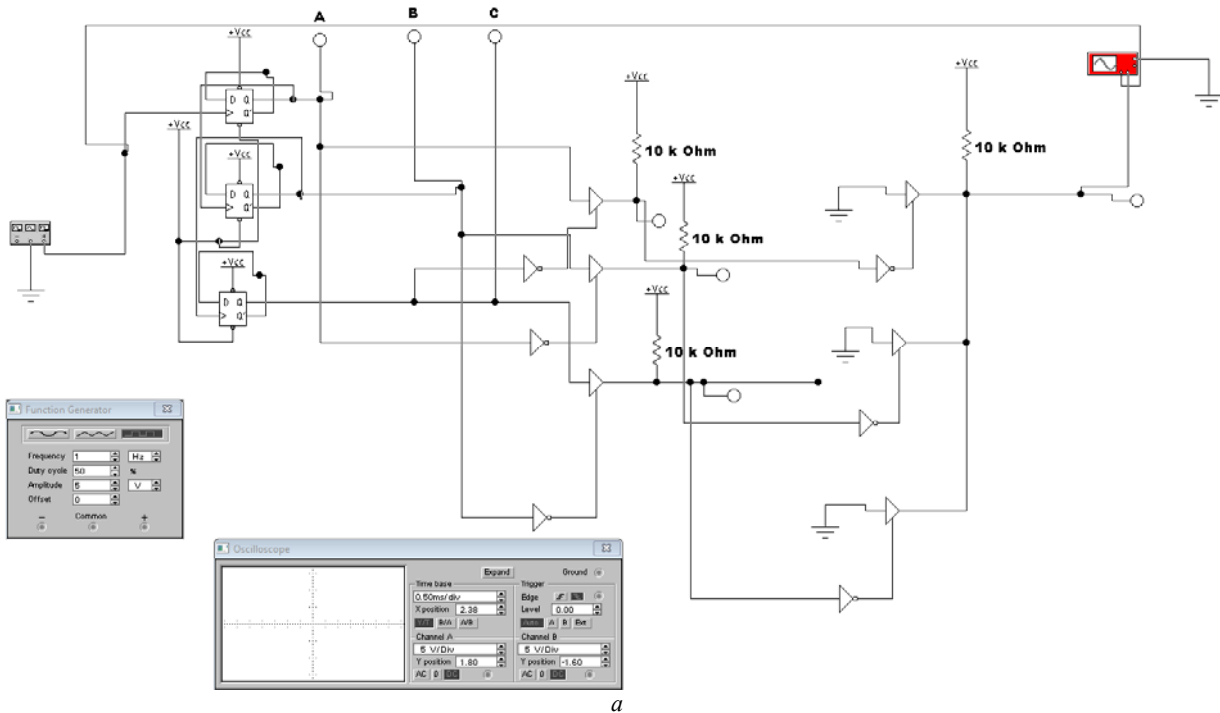


а

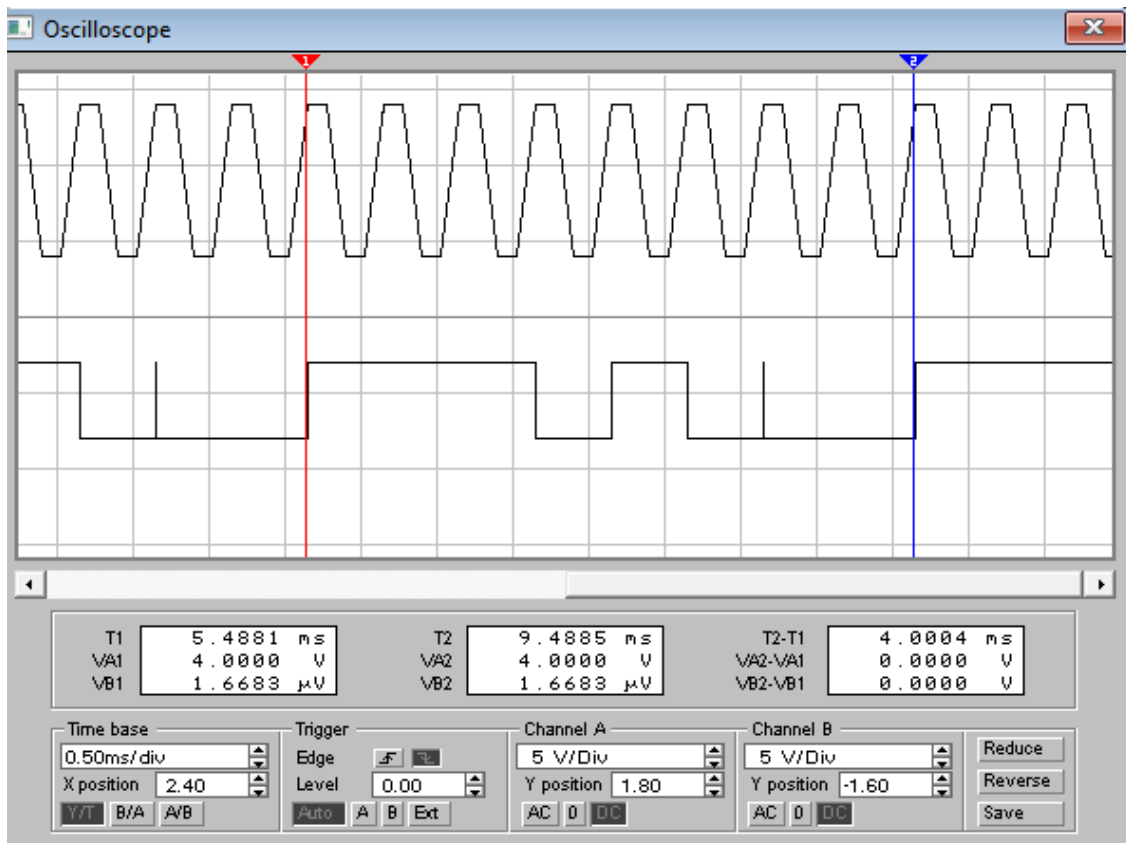


б

Рис. 9. Модель использования буфера во второй ступени мажоритары:  
 а – передача сигнала 0; б – высокоимпедансное состояние при передаче сигнала 1



а



б

Рис. 10. Результаты динамического моделирования мажоритирования на основе тристабильных буферов без использования LUT:  
а – схема эксперимента; б – осциллограмма

Возможность использования второй ступени буферов подтверждает модель на уровне транзисторов, представленная на рис. 9.

Результаты динамического моделирования схемы на рис. 7, 8 представлены на рис. 10.

**Заключение.** В ПЛИС Virtex фирмы Xilinx при реализации троирования с целью повышения радиационной стойкости аэрокосмической аппаратуры используются встроенные схемы выбора «2 из 3-х» или мажоритирования (голосования по большинству

голосов – Majority Voter Circuit). В Virtex реализуются мажоритарные функции на основе внутренних буферных элементов с тремя состояниями на выходе, отсутствующие в ПЛИС других производителей. Моделирование такого мажоритарного, использующего соединение выходов буферов с нагрузочным резистором (типа Pullup), в системе схемотехнического моделирования National Instruments Electronics Workbench Group показало, что схема неработоспособна в связи с конфликтом сигналов на выходах буферов. Тем не менее, производитель утверждает, что при использовании логики горизонтальной шины конфликты исключены. Однако конкретное схемное решение не представлено, вероятно, производитель намеренно его не раскрывает. Предложенный в статье вариант реализации мажоритаров с использованием дополнительной ступени буферных элементов согласуется с логикой горизонтальной шины (Virtex Horizontal Bus Logic), так как на выходе каждого конфигурируемого логического блока указано два буферных элемента. Выполненное статическое и динамическое моделирование в системе схемотехнического моделирования National Instruments Electronics Workbench Group подтвердило работоспособность предложенных вариантов мажоритаров. В дальнейшем целесообразно рассмотреть вопрос резервирования внутри самих буферов в соответствии с принципами, изложенными в [11–14].

#### Библиографические ссылки

- ГОСТ 27.002–89. Надежность в технике. Основные понятия. Термины и определения. М. : Издательство стандартов, 1990. 42 с.
- Шубинский И. Б. Надежные отказоустойчивые информационные системы. Методы синтеза. М. ; Ульяновск : Печ. двор, 2016. 544 с.
- ГОСТ 18298–79. Стойкость аппаратуры, комплекующих элементов и материалов радиационная. Термины и определения [Электронный ресурс]. URL: <http://www.internet-law.ru/gosts/gost/4457/> (дата обращения: 30.12.2016).
- Donald C. M., Ronald C. L. Designing Integrated Circuits to Withstand Space Radiation [Электронный ресурс]. URL: <http://www.aero.org/publications/crosslink/summer2003/06.html> (дата обращения: 10.01.2017).
- Юдинцев В. Радиационно стойкие интегральные схемы. Надёжность в космосе и на земле [Электронный ресурс] // Электроника: Наука, Технология, Бизнес : журнал. URL: [http://www.electronics.ru/files/article\\_pdf/0/article\\_592\\_363.pdf](http://www.electronics.ru/files/article_pdf/0/article_592_363.pdf) (дата обращения: 11.01.2017).
- Строгонов А., Цыбин С. Программируемая коммутация ПЛИС: взгляд изнутри [Электронный ресурс]. URL: [http://www.kit-e.ru/articles/plis/2010\\_11\\_56.php](http://www.kit-e.ru/articles/plis/2010_11_56.php) (дата обращения: 12.01.2017).
- Carl Carmichael. Triple Module Redundancy Design Techniques for Virtex FPGAs [Электронный ресурс]. URL: [https://www.xilinx.com/support/documentation/application\\_notes/xapp197.pdf](https://www.xilinx.com/support/documentation/application_notes/xapp197.pdf) (дата обращения: 07.12.2016).

8. Xilinx Reduces Risk and Increases Efficiency for IEC61508 and ISO26262 Certified Safety Applications. WP461 (v1.0), April 9, 2015 [Электронный ресурс]. URL: [http://www.xilinx.com/support/documentation/white\\_papers/wp461-functional-safety.pdf](http://www.xilinx.com/support/documentation/white_papers/wp461-functional-safety.pdf) (дата обращения: 20.12.2016).

9. QPro Virtex-II 1.5V Platform FPGAs. DS122 (v3.0), April 7, 2014 [Электронный ресурс]. URL: [http://www.xilinx.com/support/documentation/data\\_sheets/ds122.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds122.pdf) (дата обращения: 20.12.2016).

10. Сайт разработчика National Instruments [Электронный ресурс]. URL: <http://www.ni.com/multisim/> (дата обращения: 22.12.2016).

11. Ульман Дж. Д. Вычислительные аспекты СБИС / пер. с англ. А. В. Неймана ; под ред. П. П. Пархоменко. М. : Радио и связь, 1990. 480 с.

12. Надежность и эффективность в технике : справочник. В 10 т. Т. 2. Математические методы в теории надежности и эффективности / под ред. Б. В. Гнеденко. М. : Машиностроение, 1987. 280 с.

13. Тюрин С. Ф. Функционально полные толерантные элементы ПЛИС FPGA для аэрокосмических вычислительных комплексов // Вестник СибГАУ. 2016. № 2. С. 484–489.

14. Тюрин С. Ф. Моделирование отказоустойчивого элемента для аэрокосмических вычислительных комплексов // Вестник СибГАУ. 2016. № 4. С. 1015–1019.

#### References

- GOST 27.002–89. *Nadezhnost' v tekhnike Osnovnye ponyatiya. Terminy i opredeleniya*. Moscow, Standartinform Publ., 1990, 42 p. (In Russ.).
- Shubinskij I. B. *Nadezhnye otkazoustojchivye informatsionnye sistemy. Metody sinteza* [Robust fault-tolerant information systems. Methods of synthesis]. Moscow; Ul'yanovsk, Pech. Dvor Publ., 2016, 544 p. (In Russ.).
- GOST 18298–79. *Stoykost' apparatury, komplektnyushhikh ehlementov i materialov radiatsionnaya. Terminy i opredeleniya*. [Resistance equipment, components and materials radiating elements. Terms and Definitions]. Available at: <http://www.internet-law.ru/gosts/gost/4457/> (accessed 10.1.2017). (In Russ.)
- Donald C. Mayer, Ronald C. Laco. Designing Integrated Circuits to Withstand Space Radiation. Available at: <http://www.aero.org/publications/crosslink/summer2003/06.html> (accessed 11.1.2017).
- Yudintsev V. [Radiation-resistant integrated circuits.]. *Elektronika: Nauka, Tekhnologiya, Biznes*. Available at: [http://www.electronics.ru/files/article\\_pdf/0/article\\_592\\_363.pdf](http://www.electronics.ru/files/article_pdf/0/article_592_363.pdf) (accessed 12.1.2017). (In Russ.).
- Strogonov A., Cybin S. *Programmiruemyaya kommutatsiya PLIS: vzglyad iznutri* [Programmable switching FPGA: a view from the inside.] Available at: [http://www.kit-e.ru/articles/plis/2010\\_11\\_56.php](http://www.kit-e.ru/articles/plis/2010_11_56.php) (accessed 11.1.2017). (In Russ.)
- Carl Carmichael. Triple Module Redundancy Design Techniques for Virtex FPGAs. Available at: [https://www.xilinx.com/support/documentation/application\\_notes/xapp197.pdf](https://www.xilinx.com/support/documentation/application_notes/xapp197.pdf) (accessed 07.12.2016).
- Xilinx Reduces Risk and Increases Efficiency for IEC61508 and ISO26262 Certified Safety Applications.

WP461 (v1.0) April 9, 2015. Available at: [http://www.xilinx.com/support/documentation/white\\_papers/wp461-functional-safety.pdf](http://www.xilinx.com/support/documentation/white_papers/wp461-functional-safety.pdf) (accessed 20.12.2016).

9. QPro Virtex-II 1.5V Platform FPGAs. DS122 (v3.0) April 7, 2014. Available at: [http://www.xilinx.com/support/documentation/data\\_sheets/ds122.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds122.pdf) (accessed 20.12.2016).

10. *Sayt razrabotchika National Instruments* [National Instruments Developer Site]. Available at: <http://www.ni.com/multisim/> (accessed 22.12.2016).

11. Ulman Dzh. D. *Vychislitelnye aspekty SBIS*. [Computational Aspects of VLSI]. Moscow, Radio i svyaz Publ., 1990, 480 p. (In Russ.).

12. *Nadezhnost i effektivnost v tekhnike: spravochnik*: [The reliability and efficacy in the technology: manual]

Vol. 2. *Matematicheskie metody v teorii nadezhnosti i effektivnosti*. Ed. B. V. Gnedenko. – Moscow, Mashinostroenie Publ., 1987, 280 p. (In Russ.).

13. Tyurin S. F. [Functionally complete-tolerant FPGA elements for aerospace computer systems]. *Vestnik SibGAU*. 2016, No. 2, P. 484–489 (In Russ.).

14. Tyurin S. F. [Modeling fault tolerant element for aerospace computer systems]. *Vestnik SibGAU*. 2016, No. 4, P. 1115–1119 (In Russ.).